

基于 FPGA 的模块化多电平换流器 实时仿真建模与硬件在环实验

王宇, 刘崇茹, 李庚银

(新能源电力系统国家重点实验室(华北电力大学), 北京市 昌平区 102206)

FPGA-based Real-time Modeling of Modular Multilevel Converters and Hardware-in-the-loop Simulation

WANG Yu, LIU Chongru, LI Gengyin

(State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources
(North China Electric Power University), Changping District, Beijing 102206, China)

ABSTRACT: Real-time simulation platform of modular multilevel converter (MMC) can be used for the development and test of MMC controller and protection devices. Each bridge of MMC is composed of a large number of cascaded sub-modules and it brings great challenges to real-time simulation. A real-time simulation modeling method of MMC based on field programmable gate array (FPGA) was proposed in this paper, which utilizing the parallel characteristics of FPGA to implement the real-time calculation of MMC valves. Sub-modules in each bridge were divided into several groups and the computational efficiency was improved by taking advantage of the pipeline architecture. The calculation results of FPGA were equivalent to a controlled Thevenin branch in RTDS small time-step environment. The accuracy of the proposed FPGA model was verified by comparing with the simulation results of a two-terminal 21-level system under different operation states in PSCAD/EMTDC. Furthermore, hardware-in-the-loop experiments were carried out and the experimental results show that the proposed model is suitable for real-time simulation of large-scale power systems and the test of MMC controller and protection devices.

KEY WORDS: modular multilevel converter (MMC); field programmable gate array; real-time simulation; hardware-in-the-loop

摘要: 模块化多电平换流器(modular multilevel converter, MMC)实时仿真平台可用于工程投运前控保装置的开发和测试,具有重要的指导意义。实际工程中 MMC 每个桥臂由

大量子模块级联组成,给实时仿真带来巨大挑战。该文设计一种基于现场可编程门阵列(field programmable gate array, FPGA)的 MMC 实时仿真建模方法,利用 FPGA 的并行特性实现 MMC 阀组的实时仿真计算,并将计算结果等值为 RTDS 小步长下的受控戴维南支路。将每个桥臂的子模块进行分组,每组通过 FPGA 流水线架构提高计算效率。通过与 PSCAD/EMTDC 下搭建的双端 21 电平模型在稳态、交直流暂态过程的仿真结果进行对比,验证所建 FPGA 模型的仿真精度,并与外接物理控制器进行硬件在环实验。实验结果表明,该模型可外接控制器,适用于系统级、阀级控制保护装置调试、大电网实时仿真等领域。

关键词: 模块化多电平换流器; 现场可编程门阵列; 实时仿真; 硬件在环

0 引言

模块化多电平换流器(modular multilevel converter, MMC)以其开关频率低、输出波形质量好、对开关一致性要求低、扩展性好等独特优势,已成为研究热点,并在国内外取得越来越多的工程应用^[1-8]。目前已公开的研究成果主要集中在换流器建模、稳态运行和故障情况的控制策略等方面^[9-12]。MMC 的实时或实物仿真更接近工程实际,可用于实际工程投运前控保装置开发和调试,对系统规划、设计和运营具有重要的指导意义^[13-17]。

实际工程中为获得较高电压等级, MMC 桥臂通常由数百个子模块(sub-module, SM)级联组成。国内已投运的工程如南澳三端柔性直流输电工程包含超过 200 个 SM/桥臂^[3], 舟山五端直流工程包含超过 250 个 SM/桥臂^[4], 厦门柔性直流输电工程

基金项目: 国家 863 高技术基金项目(2015AA050101)。

The National High Technology Research and Development of China 863 Program (2015AA050101).

包含超过 200 个 SM/桥臂^[5]，鲁西背靠背直流异步联网工程包含超过 438 个 SM/桥臂^[6]，国外已投运的工程如美国跨湾工程(Trans Bay Cable)包含超过 200 个 SM/桥臂^[7]，法西联网工程(INELFE)包含超过 400 个 SM/桥臂^[8]。每个子模块又包含若干高频开断的电力电子器件，且不同子模块中的开关器件往往不是同时动作，因此需要设置较小的仿真步长(数 μs)求解。另一方面，每个仿真步长内电力电子器件开关状态的变化，都需要对高阶节点导纳矩阵重新生成和求解，给 MMC 离线和实时仿真带来巨大挑战。

在此背景下，国内外学者针对各种应用场景，通过对桥臂不同程度的简化降低导纳阵维数，提高 MMC 电磁暂态离线仿真速度^[9-12]。离线仿真虽不能反映实际工程中数据采样精度、通信延迟等问题，但其提速思想可应用于实时仿真中。在实时仿真领域，文献[13-14]分别基于 RTDS 平台和 RT-LAB 平台设计了相应的 MMC 等效建模方法，两者本质上均是基于中央处理器(central processing unit, CPU)开发的实时仿真模型。由于 CPU 对数据采用串行处理，计算耗时随仿真规模的增大而增加，仿真步长为数十 μs 等级；另外，基于 CPU 的实时仿真器通讯能力有限，难以实现大量子模块电容信息和触发脉冲的实时吞吐，因此 CPU 模型难以应用于阀级控制设备的实时闭环测试。相比之下，现场可编程门阵列(field programmable gate array, FPGA)作为一种并行架构的芯片，具备分布式内存、流水线结构以及可扩展高速 IO 口，可实现高度并行的数值计算和快速的数据通讯，基于 FPGA 的电力系统实时仿真技术近年来越来越受到重视，FPGA 已经应用于配电网^[16-17]、光伏发电系统^[18-19]的实时仿真中。文献[20]论证了 FPGA 应用于 MMC 实时仿真的可行性。RTDS 公司基于 FPGA 开发了一种 MMC 桥臂替代等效拓扑仿真模型，并通过 FPGA 扩展光纤接口实现与阀级控制器的数据交互^[21-22]。但其封装度较高，目前只提供了半桥和全桥子模块的仿真功能，用户不能在此平台上仿真研究其他拓扑类型的子模块，能够模拟的子模块层级故障类型少，且控制器需适应模型规定的变量传输格式才能进行闭环测试，灵活性较差。国内目前对于 MMC 的实时仿真模型研究较少，因此非常有必要研究一种能够灵活自定义拓扑、兼容不同控制器、可扩展的高电平 MMC 实时仿真模型。

针对以上问题，本文设计一种基于 FPGA 的 MMC 戴维南实时仿真模型并基于硬件描述语言 Verilog HDL 开发实现。该模型对换流器进行简化，设定开关器件的断态电阻无穷大，并采用绝对稳定的后退欧拉法对子模块电容进行离散化。为发挥 FPGA 的硬件特性并提高计算效率，将同一桥臂的子模块分组，组内子模块采用流水线架构处理，组与组之间同步并行计算，达到实时仿真的要求。通过与 PSCAD/EMTDC 下器件搭建的双端 21 电平模型在稳态、交直流暂态下仿真结果对比验证了 FPGA 模型的仿真精度。最后，与外接物理控制器进行硬件在环实验进一步验证 FPGA 模型的适用性和有效性。

1 MMC 基本结构与等效原理

1.1 MMC 基本结构

MMC 三相拓扑结构如图 1 所示。单个换流站由三相六桥臂组成，每个桥臂由限流电抗与 N 个子模块级联连接。目前实际工程中均采用半桥子模块(half-bridge sub-module, HBSM)，每个子模块由 2 个绝缘栅双极晶体管(insulated gate bipolar transistor, IGBT) T_1 和 T_2 ，2 个反并联续流二极管和直流电容器 C 组成。正常运行时， T_1 和 T_2 交替导通，每相 $2N$ 个子模块在交流侧生成 $N+1$ 电平阶梯波，同时每相共投入 N 个子模块维持直流侧电压恒定。

由于半桥子模块不具备隔离直流侧故障的能力，文献[23-24]提出了一种自阻型子模块拓扑，在半桥子模块的基础上，增加一个 IGBT 和两个二极管。正常运行时， T_3 始终导通；发生故障闭锁时， T_3 关断，将电容引入放电回路中迫使二极管截止从而阻断故障电流通路。为说明实时建模方法的通用

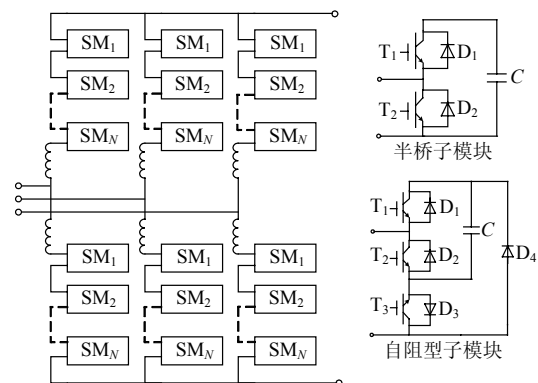


图 1 三相 MMC 拓扑结构

Fig. 1 Topology of a three-phase MMC

性, 本文选取基于自阻型子模块拓扑的 MMC 作为建模对象进行分析。

1.2 MMC 戴维南实时仿真模型等效原理

为满足高电平 MMC 实时仿真需求, 采用文献[9]中的方法, 在建立单个子模块戴维南等效模型的基础上将其进行代数叠加, 从而消去中间节点, 建立每个桥臂的戴维南等效模型。在单个子模块的等效过程中, 将每个 IGBT 及其并联续流二极管等效为阻值在通态电阻 R_{ON} (典型值 $10^{-2}\Omega$)与断态电阻 R_{OFF} (典型值 $10^6\Omega$)间切换的等值电阻。由于 R_{ON} 远小于 R_{OFF} , 在保证仿真精度的情况下, 可近似认为关断电阻为无穷大。并采用后退欧拉法对子模块电容离散化, 则更新子模块电容电压的计算公式为:

$$V_C(t) = V_C(t - \Delta T) + R_C I_C(t) \quad (1)$$

$$R_C = \frac{\Delta T}{C} \quad (2)$$

式中: R_C 为子模块电容电阻; ΔT 为仿真步长; $V_C(t)$ 和 $V_C(t - \Delta T)$ 为当前时刻和上一时刻子模块电容电压; $I_C(t)$ 为流过子模块电容电流。根据以上分析, 可以得到如图 2 所示的单个子模块在不同工作状态下的戴维南等效电路。

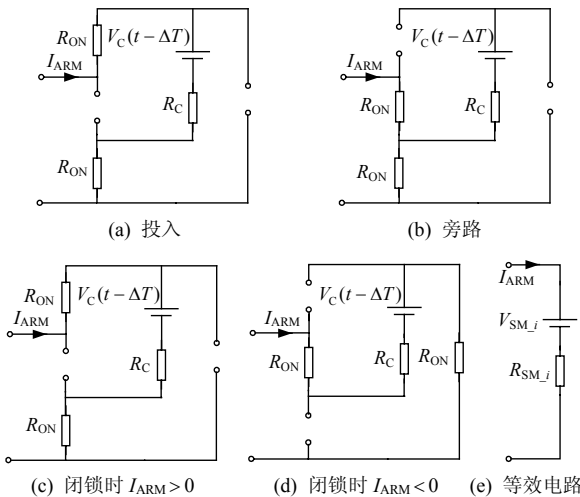


图 2 单个子模块不同工作状态时等效电路

Fig. 2 Equivalent circuit for a single sub-module in different working state

在正常运行时, 单个子模块戴维南等效电阻 R_{SM_i} 和等效电压 V_{SM_i} 如式(3)、(4)所示。MMC 桥臂由子模块串联组成, 因此可以累加得到 MMC 桥臂戴维南等效电压 V_{ARM} 和等效电阻 R_{ARM} , 分别如式(5)、(6)所示。

$$R_{SM_i} = \begin{cases} 2R_{ON} + R_C, & \text{投入} \\ 2R_{ON}, & \text{旁路} \end{cases} \quad (3)$$

$$V_{SM_i} = \begin{cases} V_C(t - \Delta T), & \text{投入} \\ 0, & \text{旁路} \end{cases} \quad (4)$$

$$V_{ARM} = \sum_{i=1}^N V_{SM_i}(t) \quad (5)$$

$$R_{ARM} = 2NR_{ON} + N_{ON}R_C \quad (6)$$

式中 N_{ON} 为同一桥臂中处于投入状态的子模块个数。

当 MMC 启动充电或直流线路出现故障时, 需要闭锁换流站。在闭锁状态时, 正反向电流均对子模块电容充电, 因此闭锁状态可以看作正常运行时 $N_{ON}=N$ 的特例, 桥臂戴维南等效电压和等效电阻仍可根据式(5)和(6)计算得到。由此可以得到如图 3 所示的 MMC 桥臂戴维南等效电路, 图中 T_{eq1} — T_{eq3} , D_{eq1} — D_{eq3} 专为模拟 MMC 的各类工况而设。在正常运行时, T_{eq1} 和 T_{eq2} 导通, T_{eq3} 关断, 桥臂电流流经 $T_{eq1}(D_{eq1})$ 、 V_{ARM} 、 R_{ARM} 和 $T_{eq2}(D_{eq2})$; 闭锁状态下, T_{eq1} 和 T_{eq2} 关断, T_{eq3} 导通。此时当桥臂电流 $I_{ARM} > 0$ 时, 电流流经 D_{eq1} 、 V_{ARM} 、 R_{ARM} 和 D_{eq2} ; 当桥臂电流 $I_{ARM} < 0$ 时, 电流流经 T_{eq3} 、 V_{ARM} 、 R_{ARM} 和 D_{eq3} 。其中引入 T_{eq3} 和 D_{eq3} 构造了自阻型子模块闭锁态时反向桥臂电流通路, 在正常运行时不起作用, 从而实现闭锁状态的精确仿真。

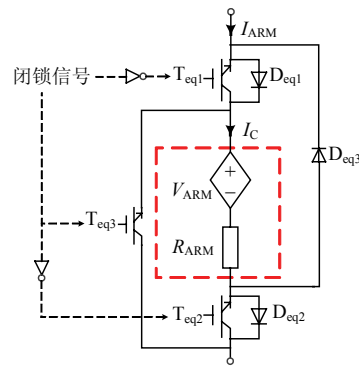


图 3 MMC 桥臂戴维南等效电路

Fig. 3 Thevenin equivalent circuit of MMC arm

在 FPGA 中使用硬件描述语言 Verilog HDL 开发并实现上述 MMC 阀组的等值计算, 并将计算结果等值为 RTDS 小步长环境下的受控戴维南支路, 将 6 个桥臂分别对应等效为如图 3 所示的 6 个受控戴维南支路, RTDS 承担包含 6 个桥臂等效戴维南支路在内的交直流系统的仿真任务, 并采用小步长 (2.5 μ s)求解, 进一步确保仿真精度。FPGA 通过全双工光纤与 RTDS 及阀级控制器建立通讯连接, 从 RTDS 获得桥臂一次系统的配置信息和电容电流 I_C 等仿真计算结果, 从阀级控制器接收子模块的触发

控制字，完成等值计算后，向 RTDS 发送桥臂戴维南等值电压 V_{ARM} 和等值电阻 R_{ARM} ，向控制器发送子模块电容电压信息，并等待下一仿真步长的计算。FPGA 每个仿真步长从 RTDS 获取一次数据并展开等值计算，从而使得仿真步长与 RTDS 保持同步。

2 实时仿真模型的 FPGA 实现

本文基于 FPGA 所开发 MMC 实时仿真模型，一方面要完成桥臂的戴维南等值计算，另一方面还要与 RTDS 及阀级控制设备进行数据交互，因此在 FPGA 设计中涉及计算模块和通信模块，以下具体介绍实时仿真模型的实现过程。

2.1 计算模块

根据式(1)可知，子模块电容电压 $V_C(t)$ 的更新需要使用上一时刻的电容电压 $V_C(t-\Delta T)$ ，需要保存电容电压。同时，单个子模块的计算涉及一次乘法计算和一次加法计算，因此针对一个桥臂而言，需要分配 N 个乘法器和 N 个加法器。由于 MMC 拓扑的独特性，同一桥臂的子模块级联连接，流过所有子模块的电流相等，且各子模块的电容值通常是相同的，导致同一时刻处于投入状态的各个子模块的电容电压增量 $R_C I_C(t)$ 是相等的，也即同一桥臂的 N 次乘法操作可以只进行一次，从而减少了对 FPGA 硬件资源的需求。式(5)表明，桥臂的戴维南等值电压 V_{ARM} 的求解需要累加计算。由式(6)可知，桥臂的戴维南等值电阻 R_{ARM} 由可变部分 $N_{ON}R_C$ 和不变部分 $2NR_{ON}$ 组成，而在仿真过程中，可变部分电阻仅与 N_{ON} 有关。因此记录阀级控制器的触发指令中处于投入状态子模块的个数，即可求得 R_{ARM} 。

为发挥 FPGA 的硬件特性并提高计算效率，将同一桥臂的子模块分为 m 组，每组包含 n 个子模块，且每组子模块采用流水线架构进行计算处理，而组与组之间采用同步并行计算。流水线的基本原理是将规模较大、层次较多的组合逻辑电路分为多级，每级之间插入寄存器寄存中间数据，这样的处理方式能够提高流动数据的处理速度^[16]。针对每条流水线，只需分配一个加法器，同组子模块依次通过加法逻辑电路即可实现电容电压更新计算，通过硬件电路的复用，进一步实现了硬件资源的优化配置。假设第一个子模块经过 M 个时钟周期完成计算，在第一个子模块计算完成之后，每增加一个时钟周期就可以完成下一个子模块的计算，因此并行的各个

流水线完成所有子模块的计算仅需要 $M+n-1$ 个时钟周期。综上分析，可以得到如图 4 所示的 FPGA 实现 MMC 实时仿真的基本框架。

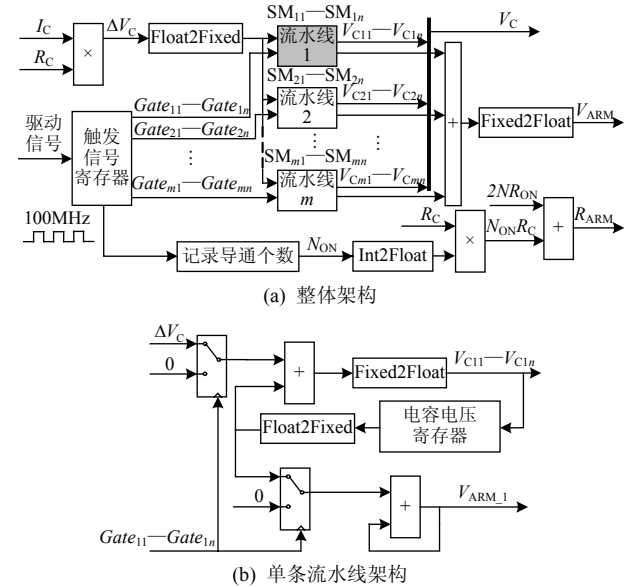


图 4 FPGA 桥臂模型计算框架

Fig. 4 Calculation framework of the FPGA bridge model

单个桥臂的整体计算框架如图 4(a)所示，其中以流水线 1 为例的单条流水线架构如图 4(b)所示，整个计算模块均由 100MHz 时钟驱动。同时考虑到 FPGA 中浮点数数值精度高，定点数计算速度快的特点，MMC 桥臂模型的计算模块采用浮点数与定点数相结合的数制形式。其中，浮点数为 32 位数据，符合 IEEE 754 单精度浮点数标准；定点数为 48 位数据，其中整数部分 16 位，小数部分 32 位。在与外部交互数据时采用浮点数形式，而在内部进行加法及累加操作时采用定点数形式。另外，在流水线内部，电容电压计算完成便立即转为 32 位浮点数重新写入寄存器，以减少存储压力。Float2Fixed 为浮点数转定点数模块，Fixed2Float 为定点数转浮点数模块。乘法、加法及数制转化模块均使用相应的 IP 核完成。

当实际需要仿真的桥臂子模块个数 $N < m \times n$ 时，上述计算模块仍按照 $m \times n$ 个子模块处理。对于额外的 $m \times n - N$ 个子模块，设置相应的触发信号始终为 0，从而其电容电压始终为 0，对桥臂的等值计算结果不产生影响。这也意味着仿真不同电平数的 MMC 系统时，无需对 FPGA 程序重新配置，避免了 FPGA 开发过程中冗长的编译耗时，进一步提高处理效率。

此外，在计算流水线内部通过数值计算方法还

可以模拟子模块层级的故障,提供更多的仿真场景,如子模块电容短路、桥臂两点间短路、电容因长期服役引起的容值变化等。

2.2 通信模块

通讯模块由两部分组成,第1部分为FPGA与RTDS实时仿真器之间的通讯,第2部分为FPGA与阀级控制器之间的通讯,FPGA与RTDS及阀级控制器均使用全双工光纤建立连接。与RTDS通讯使用RTDS公司的RTDS_InterfaceModule网表文件,可以双向传递64个32bit的整型或实型变量^[18]。与阀级控制器通讯的数据量较大,采用Xilinx公司的开源高速串行Aurora协议,传输速率为2Gbit/s。

本文使用Xilinx公司ML605 FPGA开发板,配有Virtex-6系列XC6VLX240T-1FFG1156芯片,该芯片包含241152个逻辑单元,37680个Slices,832个18kb和416个36kb BRAM模块,20个GTX收发器,PCIe接口以及千兆以太网MAC等高性能IP核。经实测,当使用该芯片仿真三相上/下桥臂,且取 $m=8$, $n=64$,即每相最高仿真512个子模块,共1536个子模块时,消耗约20%寄存器资源,45%查找表资源。同时,FPGA的计算步长与RTDS小步长下的仿真步长 $2.5\mu\text{s}$ 保持严格同步,流水线的计算耗时为79个时钟周期,即790ns,能够在小步长内完成数值计算和数据交互,满足实时性要求。由于FPGA根据RTDS的解算结果完成MMC桥臂阀组的等值计算,RTDS承担其余交直流系统的仿真任务,两者不是严格意义上的联立求解,因此存在一个步长的时延。此外,针对不同的子模块拓扑,也可以在分析其工作机理的基础上,采用上述方法实现实时仿真建模,具有良好的通用性。

3 仿真验证

为了验证所开发FPGA模型的精确性,本文在RTDS和PSCAD/EMTDC中分别搭建了如图5所示的双端21电平仿真系统,其中MMC₂采用自阻型子模块拓扑,并将MMC₂在FPGA模型中的仿真结果与PSCAD/EMTDC中开关器件搭建的详细器件模型在稳态、交直流暂态时的仿真结果进行对比。两种平台下控制系统采用相对应的控制模块和相同的控制参数,交流系统线电压有效值均为110kV,交流系统等值电阻为 0.314Ω ,交流系统等值电感为1mH,桥臂电感为40mH,子模块电容为6mF。MMC₁采用定直流电压和定无功功率控制,整定值分别为

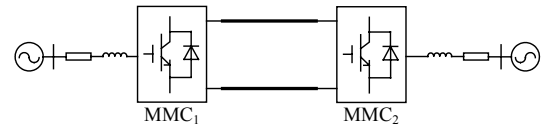


图5 21电平双端MMC测试系统

Fig. 5 21-level two-terminal MMC test system

200kV和30Mvar;MMC₂采用定有功功率和定无功功率控制,整定值分别为400MW和30Mvar。传输线路为70km架空线。

3.1 稳态运行

图6为A相上桥臂电流、阀侧A相电压、直流电压稳态仿真的对比波形。可以看出,稳态运行时FPGA模型与PSCAD的仿真结果几乎完全重合,FPGA模型具备较高的仿真精度。

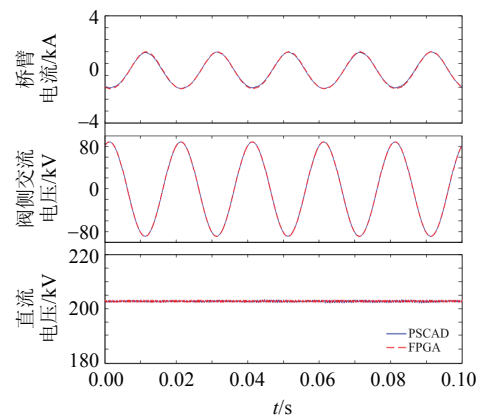


图6 稳态仿真结果

Fig. 6 Simulation results of normal operation

3.2 交流侧故障

设置 $t=0.2\text{s}$ 时,MMC₂发生交流侧三相瞬时接地故障,持续时间为5ms。图7为A相上桥臂电流、A相上桥臂电压、交流A相电流仿真的对比波形。由于FPGA模型对桥臂做了一定程度的简化,且两

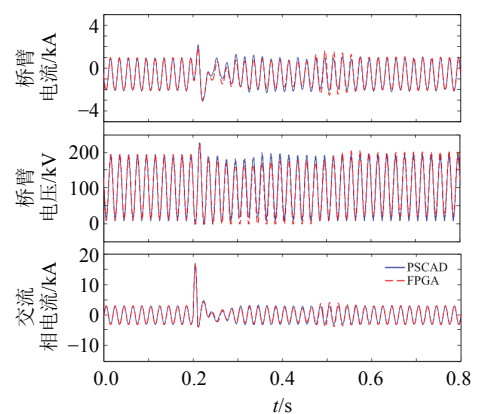


图7 交流三相短路仿真结果

Fig. 7 Simulation results of AC three phase ground fault

种平台下，一次模型、二次模型的建模差异，以及实时仿真中存在通信延迟，因此离线平台和实时平台下的仿真结果不能保证完全相同，FPGA 模型的仿真结果基本与器件模型保持一致。故障期间，FPGA 模型中 A 相最大短路电流为 16.976kA，器件模型为 16.457kA，相对误差为 3.15%，可用于仿真交流暂态工况。

3.3 直流侧故障

设置 $t=0.2s$ 时，MMC₂ 直流侧出口发生双极永久性短路故障，考虑 5ms 的延时， $t=0.205s$ 时全站闭锁。仿真对比结果如图 8 所示，依次为 A 相上桥臂电流，直流电流和交流 A 相电流。故障发生后，子模块电容通过短路点迅速放电，导致直流侧电流激增；换流站闭锁后，电流迅速下降至零。暂态过程中直流电流出现的峰值 FPGA 模型为 22.61kA，PSCAD 模型为 21.47kA，相对误差 5.31%。FPGA 模型具有较高的契合度，能准确模拟闭锁时 MMC 特性，可用于直流暂态过程的仿真。

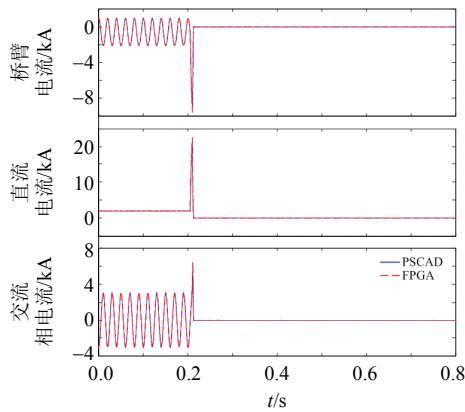


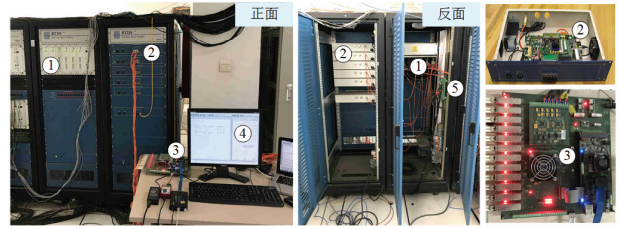
图 8 直流双极短路故障仿真结果

Fig. 8 Simulation results of DC pole to pole fault

综上，本文开发的 FPGA 戴维南等值模型能够精确仿真 MMC 在稳态和交直流暂态过程中的运行特性，具备较高的仿真精度。

4 硬件在环实验

本文模型的一个主要应用在于外接实际物理控制器，辅助测试和验证控制效果。在上述 FPGA 模型仿真精度验证过程中，控制系统由相应模块搭建，没有接入实际控制器并对换流站的运行信息进行采集和控制计算，即不是真正意义上的硬件在环系统。为进一步验证所开发模型外接物理控制器进行硬件在环实验的能力，本文建立了单端 101 电平一次模型，并与实验室现有物理控制器组成如图 9



①—RTDS PB5/GPC 处理器；②—ML605-FPGA 板卡；③—DSP 物理控制器；④—RSCAD-RTDS 图形操作界面；⑤—GTAO 板卡。

图 9 硬件在环实验平台

Fig. 9 Hardware-in-the-loop experiment platform

所示的硬件在环测试平台。其中子模块电容 30mF，其余一次参数同第 3 节。控制系统由 TI 公司 KeyStone 架构 8 核数字信号处理器(digital signal processor, DSP)完成，其中 0 核用于站控和环流抑制，1—6 核并行完成 6 个桥臂的阀控计算^[15]。交流网侧电压和电流从 RTDS PB5/GPC 处理器采集，并通过 GTA0 板卡以 -10~10V 的模拟量传输至控制器，控制器配有一块 FPGA，FPGA 控制 A/D 采样芯片完成采样，并驱动光电模块进行光纤通信，接收子模块电容信息和发送触发控制字。

4.1 稳态运行

MMC 采用定有功功率和定无功功率控制，整定值分别为 400MW 和 30Mvar，阀级控制采用最近电平调制。硬件在环实验波形如图 10 所示，图中依次为阀侧三相电压、三相电流、有功和无功功率、A 相上下桥臂电流、A 相上桥臂子模块电容电压。

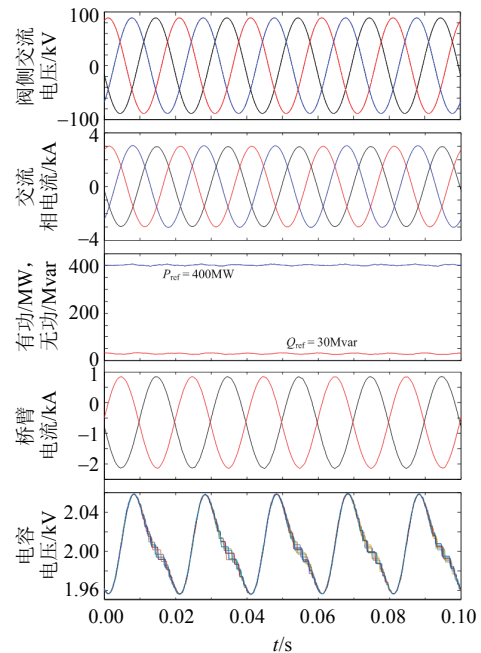


图 10 硬件在环实验稳态仿真波形

Fig. 10 Simulation results of hardware-in-the-loop test in normal operation

稳态实验结果表明,在外接物理控制器实验时,有功和无功功率都能准确跟踪整定值,子模块电容电压波动量峰值小于5.5%,均压效果良好。

4.2 无功功率阶跃

设置 $t=0.2\text{s}$ 时,无功功率参考值由 30Mvar 整定为 -50Mvar ,图 11 为无功功率阶跃过程中,有功和无功功率、A 相上下桥臂电流和 A 相上桥臂子模块电容电压的实验波形。由图 11 可知,整定值改变后的动态过程中,在控制器的作用下,无功功率能够快速跟踪整定值,有功功率和子模块电容电压发生一定扰动,在 $t=0.4\text{s}$ 时,过渡到新的稳态。

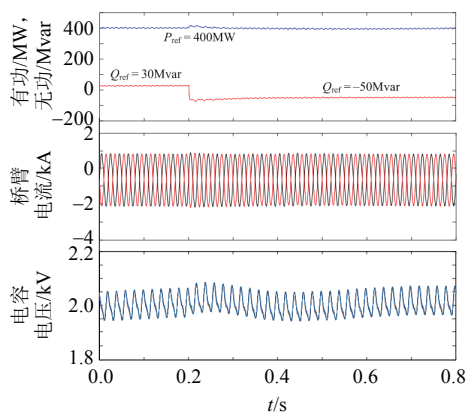


图 11 硬件在环实验无功功率阶跃仿真波形

Fig. 11 Simulation results of hardware-in-the-loop test in reactive power step change

4.3 子模块故障

设置 $t=0.1\text{s}$ 时, A 相上桥臂的 $\text{SM}_1\text{—}\text{SM}_5$ 子模块的电容发生短路, 1ms 后故障清除, A 相上下桥臂电流及子模块电容电压的实验结果如图 12 所示。可以看出,故障发生时,子模块电容迅速放电,电压降至 0,正常工作的子模块共同分担桥臂电压缺额,因此电容电压略有上升,同时桥臂电流有一定程度的扰动;故障清除后,故障子模块在阀控装置

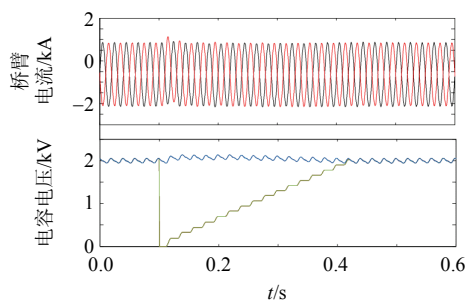


图 12 硬件在环实验子模块故障仿真波形

Fig. 12 Simulation results of hardware-in-the-loop test in sub-module fault

的作用下,不断充电,在 $t=0.4\text{s}$ 左右时恢复至额定值。

子模块短路实验进一步验证了 FPGA 模型可以准确收发触发脉冲和子模块电容电压信息,并可以进行子模块层级故障的仿真,提供了更多仿真场景,可以通过硬件在环实验辅助阀控装置的设计和调试,缩短开发周期。

5 结论

本文提出了一种基于 FPGA 的 MMC 实时仿真模型通用建模方法,并使用 Verilog HDL 语言开发实现。在此基础上进行了仿真精度验证和硬件在环实验,得到如下结论:

1) 所提出模型具备较高的仿真精度,能够精确模拟 MMC 在稳态和交直流暂态过程中的运行特性,并可以在不修改计算程序的情况下实现 MMC 桥臂参数的灵活配置。

2) 所提出模型可外接物理控制器进行闭环实验,并具备子模块层级故障仿真功能,能够对阀级控制器进行实验验证。

3) 模型的建模方法具有通用性,可以延伸至其他类型子模块拓扑结构。

4) 所提出模型具有可移植性和拓展性,可以通过使用具备更多资源的 FPGA 板卡或使用多板卡联合仿真的方式实现更大规模的 MMC 实时仿真。

参考文献

- [1] 李庚银,吕鹏飞,李广凯,等. 轻型高压直流输电技术的发展与展望[J]. 电力系统自动化, 2003, 27(4): 77-81. Li Gengyin, Lü Pengfei, Li Guangkai, et al. Development and prospects for HVDC light[J]. Automation of Electric Power Systems, 2003, 27(4): 77-81(in Chinese).
- [2] 汤广福,庞辉,贺之渊. 先进交直流输电技术在中国的发展与应用[J]. 中国电机工程学报, 2016, 36(7): 1760-1771. Tang Guangfu, Pang Hui, He Zhiyuan. R&D and application of advanced power transmission technology in China[J]. Proceedings of the CSEE, 2016, 36(7): 1760-1771(in Chinese).
- [3] 杨柳,黎小林,许树楷,等. 南澳多端柔性直流输电示范工程系统集成设计方案[J]. 南方电网技术, 2015, 9(1): 63-67. Yang Liu, Li Xiaolin, Xu Shukai, et al. The integrated system design scheme of Nao'ao VSC-MTDC demonstration project[J]. Southern Power System Technology, 2015, 9(1): 63-67(in Chinese).

- [4] 李亚男, 蒋维勇, 余世峰, 等. 舟山多端柔性直流输电工程系统设计[J]. 高电压技术, 2014, 40(8): 2490-2496. Li Yanan, Jiang Weiyong, Yu Shifeng, et al. System design of Zhoushan multi-terminal VSC-HVDC transmission project[J]. High Voltage Engineering, 2014, 40(8): 2490-2496(in Chinese).
- [5] 阳岳希, 贺之渊, 周杨, 等. 厦门 $\pm 320\text{kV}$ 柔性直流输电工程的控制方式和运行性能[J]. 智能电网, 2016, 4(3): 229-234. Yang Yuexi, He Zhiyuan, Zhou Yang, et al. Control mode and operating performance of Xiamen $\pm 320\text{kV}$ VSC-HVDC project[J]. Smart Grid, 2016, 4(3): 229-234(in Chinese).
- [6] 刘大鹏, 程晓绚, 苟锐锋, 等. 异步联网工程柔性直流换流站过电压与绝缘配合[J]. 高压电器, 2015(4): 104-108. Liu Dapeng, Cheng Xiaoxuan, Gou Ruifeng, et al. Overvoltage and insulation coordination for MMC-HVDC asynchronous project[J]. High Voltage Apparatus, 2015(4): 104-108(in Chinese).
- [7] Teeuwsen S P. Modeling the Trans. bay cable project as voltage-sourced converter with modular multilevel converter design[C]//Power and Energy Society General Meeting. Detroit, Michigan, USA: IEEE, 2011, 1-8.
- [8] Dennetière S, Nguefeu S, Saad H, et al. Modeling of modular multilevel converters for the France-Spain link[C]//International Conference on Power Systems Transients. Vancouver, Canada, 2013.
- [9] Gnanarathna U N, Gole A M, Jayasinghe R P. Efficient modeling of modular multilevel HVDC converters (MMC) on electromagnetic transient simulation programs[J]. IEEE Transactions on Power Delivery, 2014, 26(1): 316-324.
- [10] 许建中, 赵成勇, Gole A M. 模块化多电平换流器戴维南等效整体建模方法[J]. 中国电机工程学报, 2015, 35(8): 1919-1929. Xu Jianzhong, Zhao Chengyong, Gole A M. Research on the Thevenin's equivalent integral modeling method of the modular multilevel converter[J]. Proceedings of the CSEE, 2015, 35(8): 1919-1929(in Chinese).
- [11] Xu J, Gole A M, Zhao C. The use of averaged-value model of modular multilevel converter in DC grid[J]. IEEE Transactions on Power Delivery, 2015, 30(2): 519-528.
- [12] 许建中, 李承昱, 熊岩, 等. 模块化多电平换流器高效建模方法研究综述[J]. 中国电机工程学报, 2015, 35(13): 3381-3392. Xu Jianzhong, Li Chengyu, Xiong Yan, et al. A review of efficient modeling methods for modular multilevel converters[J]. Proceedings of the CSEE, 2015, 35(13): 3381-3392(in Chinese).
- [13] 刘崇茹, 林雪华, 李海峰, 等. 基于 RTDS 的模块化多电平换流器子模块等效模型[J]. 电力系统自动化, 2013, 37(12): 92-99. Liu Chongru, Lin Xuehua, Li Haifeng, et al. An equivalent sub-module model for modular multilevel converter in RTDS[J]. Automation of Electric Power Systems, 2013, 37(12): 92-99(in Chinese).
- [14] 熊岩, 赵成勇, 刘启建, 等. 模块化多电平换流器实时仿真建模与硬件在环实验[J]. 电力系统自动化, 2016, 40(21): 84-89. Xiong Yan, Zhao Chengyong, Liu Qijian, et al. Modeling of real-time simulation and hardware-in-the-loop experiments for modular multilevel converters[J]. Automation of Electric Power Systems, 2016, 40(21): 84-89(in Chinese).
- [15] 田鹏飞, 刘崇茹, 洪国巍, 等. 模块化多电平换流器半实物仿真平台设计与实验验证[J]. 电力系统自动化, 2016, 40(1): 122-128. Tian Pengfei, Liu Chongru, Hong Guowei, et al. Design and experimental verification of a hardware-in-the-loop simulation platform for modularized multilevel converter[J]. Automation of Electric Power Systems, 2016, 40(1): 122-128(in Chinese).
- [16] 王成山, 丁承第, 李鹏, 等. 基于 FPGA 的配电网暂态实时仿真研究(一): 功能模块实现[J]. 中国电机工程学报, 2014, 34(1): 161-167. Wang Chengshan, Ding Chengdi, Li Peng, et al. Real-time transient simulation for distribution systems based on FPGA, part I: module realization[J]. Proceedings of the CSEE, 2014, 34(1): 161-167(in Chinese).
- [17] 王成山, 丁承第, 李鹏, 等. 基于 FPGA 的配电网暂态实时仿真研究(二): 系统架构与算例验证[J]. 中国电机工程学报, 2014, 34(4): 628-634. Wang Chengshan, Ding Chengdi, Li Peng, et al. Real-time transient simulation for distribution systems based on FPGA, part II: system architecture and algorithm verification[J]. Proceedings of the CSEE, 2014, 34(4): 628-634(in Chinese).
- [18] 王潇, 张炳达, 陈铭. 基于 RTDS 和 FPGA 联合仿真平台的多速率实时仿真方法[J]. 电力系统自动化, 2016, 40(12): 144-150. Wang Xiao, Zhang Bingda, Chen Ming. Multi-rate real-time simulation method based on RTDS and FPGA co-simulation platform[J]. Automation of Electric Power Systems, 2016, 40(12): 144-150(in Chinese).
- [19] 王成山, 丁承第, 李鹏, 等. 基于 FPGA 的光伏发电系统暂态实时仿真[J]. 电力系统自动化, 2015, 39(12): 13-20. Wang Chengshan, Ding Chengdi, Li Peng, et al.

- FPGA-based real-time transient simulation of photovoltaic generation system[J]. Automation of Electric Power Systems, 2015, 39(12): 13-20(in Chinese).
- [20] Saad H, Ould-Bachir T, Mahseredjian J, et al. Real-time simulation of MMCs using CPU and FPGA[J]. IEEE Transactions on Power Electronics, 2015, 30(1): 259-267.
- [21] Maguire T, Warkentin B, Chen Y, et al. Efficient techniques for real time simulation of MMC systems [C]//International Conference on Power Systems Transients. Vancouver, Canada, 2013.
- [22] Ou K, Rao H, Cai Z, et al. MMC-HVDC simulation and testing based on real-time digital simulator and physical control system[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2014, 2(4): 1109-1116.
- [23] 向往, 林卫星, 文劲宇, 等. 一种能够阻断直流故障电流的新型子模块拓扑及混合型模块化多电平换流器[J]. 中国电机工程学报, 2014, 34(29): 5171-5179.
Xiang Wang, Lin Weixing, Wen Jinyu, et al. A new topology of sub-modules with DC fault current blocking capability and a new type of hybrid MMC converter[J]. Proceedings of the CSEE, 2014, 34(29): 5171-5179(in Chinese).
- [24] 赵鹏豪, 王朝亮, 许建中, 等. 一种具有直流故障穿越

能力的 MMC 子模块拓扑[J]. 电网技术, 2014, 38(12): 3441-3446.

Zhao Penghao, Wang Chaoliang, Xu Jiangzhong, et al. A sub-module topology of MMC with DC fault ride-through capability[J]. Power System Technology, 2014, 38(12): 3441-3446(in Chinese).



王宇

收稿日期: 2017-03-17。

作者简介:

王宇(1993), 男, 博士研究生, 研究方向为柔性直流输电系统建模与控制, wangyu_ncepu@163.com;

刘崇茹(1977), 女, 博士, 教授, 博士生导师, 研究方向为交直流混合系统分析与仿真、运行与控制等, chongru.liu@ncepu.edu.cn;

李庚银(1964), 男, 博士, 教授, 博士生导师, 研究方向为新能源电力系统分析与控制、柔性输电技术、电能质量等, ligy@ncepu.edu.cn。

(责任编辑 吕鲜艳)

FPGA-based Real-time Modeling of Modular Multilevel Converters and Hardware-in-the-loop Simulation

WANG Yu, LIU Chongru, LI Gengyin
(North China Electric Power University)

KEY WORDS: modular multilevel converter; field programmable gate array; real-time simulation; hardware-in-the-loop

Each bridge of modular multilevel converter (MMC) is composed of a large number of cascaded sub-modules (SMs) and it brings great challenges to real-time simulation. Owing to the parallel characteristics and high-speed communication port of field programmable gate array (FPGA), it provides a feasible way for real-time calculation of MMC valves and hardware-in-the-loop testing. Existing models are not suitable as more novel SM topologies are proposed and more complex situations need to be simulated.

In order to illustrate the universality of the proposed method, the self-blocking SM is chosen as the modeling object. Each IGBT and its antiparallel diode are considered as switchable resistance changing between R_{ON} and R_{OFF} . The backward Euler integration is chosen to update the capacitor voltage as (1), (2) and by assuming that R_{OFF} is infinite, the equivalent resistance and equivalent voltage of a single SM can be expressed as (3), (4).

$$V_C(t) = V_C(t - \Delta T) + R_C I_C(t) \quad (1)$$

$$R_C = \Delta T / C \quad (2)$$

$$R_{SM_i} = \begin{cases} 2R_{ON} + R_C, & \text{Instert} \\ 2R_{ON}, & \text{Bypass} \end{cases} \quad (3)$$

$$V_{SM_i} = \begin{cases} V_C(t - \Delta T), & \text{Instert} \\ 0, & \text{Bypass} \end{cases} \quad (4)$$

As the SMs in the same arm are connected in series, the Thevenin equivalent voltage V_{ARM} and equivalent resistance R_{ARM} of an arm can be acquired by the accumulation of V_{SM_i} and R_{SM_i} respectively as shown in (5), (6).

$$V_{ARM} = \sum_{i=1}^N V_{SM_i}(t) \quad (5)$$

$$R_{ARM} = 2NR_{ON} + N_{ON}R_C \quad (6)$$

On this basis, the calculation framework of the FPGA bridge model is shown in Fig. 1. The SMs in the same arm are divided into m groups and each group consists of n SMs. Each group corresponds to a pipeline and the m pipelines are computing synchronously in parallel. FPGA is connected to RTDS and external

controller by optic fibers and based on the arm current received from RTDS and firing pulses received from controller for every single SM, the calculation is executed. After the calculation is finished, the updated capacitor voltages are sent to external controllers for voltage balancing control algorithm. The V_{ARM} and R_{ARM} are then sent back to RTDS and equivalent as a controlled Thevenin branch in RTDS small time-step environment. As a result, the computing burden of RTDS can be significantly reduced and thus a small time-step ($2.5\mu s$) is guaranteed.

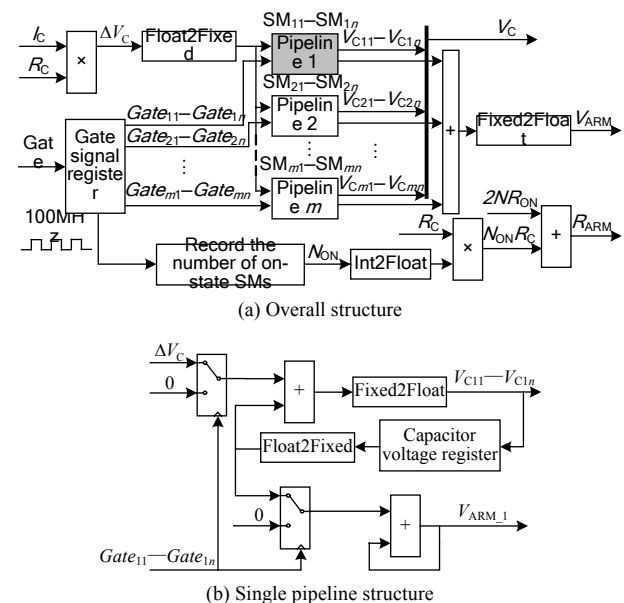


Fig. 1 Calculation framework of the FPGA bridge model

The accuracy of the proposed FPGA model is verified by comparing the simulation results of a two-terminal 21-level MMC system with PSCAD/EMTDC under different operating conditions. The simulation results in these two platforms show a very closed match. Furthermore, a hardware-in-the-loop simulation platform is built by using a multi-core DSP controller and several experiments have been carried out. The experimental results show that the proposed model is suitable for real-time simulation of large-scale power systems and the test of MMC controller and protection devices.