

# 集成排序网络的模块化多电平换流器 实时仿真模型

王宇<sup>1</sup>, 刘崇茹<sup>1</sup>, 凌博文<sup>1</sup>, 侯延琦<sup>1</sup>, 李庚银<sup>1</sup>, 孔玮<sup>2</sup>

(1. 新能源电力系统国家重点实验室(华北电力大学), 北京市 昌平区 102206;

2. 国家电网有限公司, 北京市 西城区 100031)

## Real-time Simulation Model of Modular Multilevel Converter With Sorting Network Integrated

WANG Yu<sup>1</sup>, LIU Chongru<sup>1</sup>, LING Bowen<sup>1</sup>, HOU Yanqi<sup>1</sup>, LI Gengyin<sup>1</sup>, KONG Wei<sup>2</sup>

(1. State Key Laboratory of Alternate Electrical Power System With Renewable Energy Sources

(North China Electric Power University), Changping District, Beijing 102206, China;

2. State Grid Corporation of China, Xicheng District, Beijing 100031, China)

**ABSTRACT:** In order to achieve real-time simulation of modular multilevel converter (MMC), an efficient MMC real-time simulation model was proposed based on real time digital simulation (RTDS) platform and implemented with field programmable gate array (FPGA). Pipeline technology was utilized to implement equivalent calculation of MMC arms. Fast capacitor voltage balancing control were implemented in FPGA by integrating the bitonic sorting network to avoid massive amount of real-time data throughput, such as sub-module (SM) capacitor voltages and trigger signals. A single-terminal 201-level test system was built based on this model and compared with PSCAD/EMTDC results. Moreover, the FPGA resource utilization and timing performance under different number of pipelines and levels were discussed. Analysis results show that the model has high integration level and simulation accuracy, and can be used to simulate up to 501-level MMC with a single ML605 evaluation board. The model is suitable for building real-time simulation platform of large-scale DC grid including MMC.

**KEY WORDS:** modular multilevel converter (MMC); real-time simulation; field programmable gate array (FPGA); parallel calculation; sorting network

**摘要:** 为实现模块化多电平换流器(modular multilevel converter, MMC)的实时仿真,提出一种基于电力系统实时数字仿真器(real time digital simulation, RTDS)的高效MMC实时仿真模型,并应用现场可编程门阵列(field

programmable gate array, FPGA)开发实现。模型使用流水线技术进行MMC桥臂阀组的等值计算,采用双调排序网络实现电容电压快速均压控制,避免大量子模块电容电压和触发控制信号的实时吞吐。基于此模型搭建单端201电平仿真系统,与PSCAD/EMTDC模型进行了仿真对比测试,并对比分析不同流水线个数和电平数下FPGA资源占用情况和时间性能。结果表明,该模型具备较高的集成度和仿真精度,使用单个ML605开发板即可实现高达501电平单端MMC的实时仿真,适用于构建大规模MMC直流电网实时仿真平台。

**关键词:** 模块化多电平换流器; 实时仿真; 现场可编程门阵列; 并行计算; 排序网络

**DOI:** 10.13335/j.1000-3673.pst.2018.2240

## 0 引言

采用全控型电力电子器件的电压源换流器型高压直流输电(voltage source converter based HVDC, VSC-HVDC)技术,相比于传统直流输电不存在换相失败风险,可对有功和无功独立解耦控制,适用于新能源接入电网以及向无源网络供电等场合<sup>[1]</sup>。其中,采用功率子模块级联拓扑结构的模块化多电平换流器(modular multilevel converter, MMC)克服了两电平换流器对器件开关一致性的要求,且具备开关损耗低、输出波形谐波含量低、适用于高压大功率场合等技术优势,受到国内外广泛关注并获得工程应用<sup>[2]</sup>。

实际工程在投运前需要对控制和保护系统进行硬件在环(hardware-in-the-loop, HIL)实验,以期在无破坏性的前提下模拟运行过程中的各类工况,从而对控保系统进行全方面评估<sup>[3-5]</sup>。然而,HIL实

**基金项目:** 国家自然科学基金委员会-国家电网公司智能电网联合基金项目(U1866204)。

Project Supported by the Smart Grid Joint Foundation Program of National Natural Science Foundation of China and State Grid Corporation of China (U1866204).

验必须以合适的一次系统实时仿真模型为前提<sup>[6-9]</sup>。为获得较高的电压等级和容量,实际工程中 MMC 包含成百上千个子模块(sub-module, SM),大量的电气节点给 MMC 实时仿真带来诸多困难,对 MMC 等值模型和仿真计算工具提出了严苛的要求。

国内外学者针对不同的适用场景,分别提出了不同简化原理的 MMC 等效模型,并通过多中央处理器(central processing unit, CPU)并行计算,或采用具备并行硬件特性的现场可编程门阵列(field programmable gate array, FPGA)实现 MMC 的实时仿真<sup>[10-16]</sup>。文献[12-13]均假设处在同一桥臂中的所有子模块电容均压效果良好,可用一个等效电容替代,通过这种方式能够满足实时仿真的需求。但由于不能表征子模块层级的动态行为,此模型只能应用于系统级仿真研究。文献[14]采用 Dommel 等值原理,对开关器件进行行为级建模,每个开关等效为阻值可变的电阻,能够大大提高仿真速度,但每个桥臂仍等值为时变导纳。文献[15-16]采用替代等值电路,将子模块分为闭锁、投入、旁路 3 组分别进行处理,并利用 FPGA 开发实现等值计算,但由于需要在外部传输子模块电压和触发信号,导致仅仿真单个换流站就需要 5 块 ML605-FPGA 板卡,硬件成本较高。

针对以上问题,本文基于实时数字仿真器(real time digital simulation, RTDS)设计一种 MMC 实时仿真模型,并通过 FPGA 开发实现桥臂阀组的等值计算,能够实现 RTDS 小步长(2.5 $\mu$ s)的实时仿真。模型集成双调排序网络,易于 FPGA 硬件实现,能够对电容电压快速排序,实现 MMC 电容电压均衡控制,避免大量子模块信息和触发控制字的实时吞吐。本文介绍了模型的实现流程,并对仿真精度、资源占用和时间性能进行了详细的分析和验证。

## 1 MMC 结构简述

图 1 为 MMC 三相拓扑结构示意图,它包括 3 个相单元,每个相单元包含上下 2 个桥臂,每个桥臂均由  $N$  个相同的子模块与一个桥臂电抗器  $L_{\text{ARM}}$  串联组成。桥臂电抗器可用于平衡桥臂之间的相间环流,且能够抑制故障电流的上升速率。目前工程中均使用半桥子模块(half-bridge sub-module, HBSM),本文提及子模块均为 HBSM。每个子模块由 2 个 IGBT(insulated gate bipolar transistor)及其反并联续流二极管,以及直流储能电容  $C$  组成。子模块共有 3 种运行状态,即投入( $T_1$  导通,  $T_2$  关断)、旁路( $T_1$  关断,  $T_2$  导通)和闭锁( $T_1$ 、 $T_2$  均关断)。MMC 通过

控制子模块的投入和切除在交流侧输出多电平阶梯波,并确保每相投入约  $N$  个子模块以维持直流电压恒定。通过桥臂电流  $I_{\text{ARM}}$ (图 1 中仅标注 A 相上桥臂)对各子模块中电容进行充放电,从而实现交直流系统之间的能量传递。

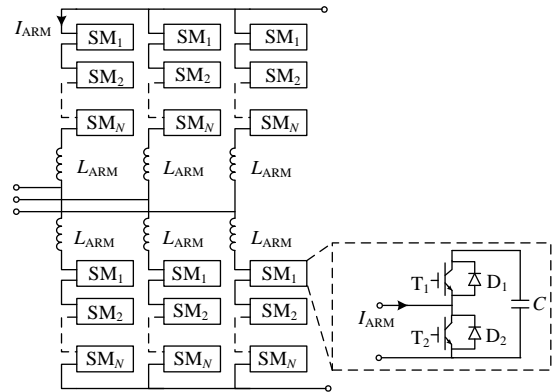


图 1 MMC-HVDC 拓扑结构图

Fig. 1 Topology structure diagram of MMC-HVDC

## 2 MMC 实时仿真模型

单个子模块包含的电力电子器件采用行为级建模,即器件导通时等值为阻值较小的电阻  $R_{\text{ON}}$ ,器件关断时等值为阻值较大的电阻  $R_{\text{OFF}}$ 。通常情况下,  $R_{\text{ON}} \ll R_{\text{OFF}}$ ,因此可以近似认为  $R_{\text{OFF}}$  为无穷大,则相应的器件关断时对应支路做开路处理。通过这种处理方式能够在保证一定仿真精度的前提下,大大减小计算量,为实时仿真计算提供可行性。分散在各个子模块中的电容为储能元件,其元件特性方程如式(1)所示。

$$U_c(t) = \frac{1}{C} \int I_c(t) dt \quad (1)$$

式中:  $U_c(t)$  为电容电压;  $I_c(t)$  为流过电容的电流。

在时域的电磁暂态仿真中,需要对式(1)进行离散化处理,本文采用前向欧拉法(forward euler method, FEM)进行离散化,并定义图 1 中  $I_{\text{ARM}}$  流向为正方向,则有:

$$U_c(t + \Delta t) = U_c(t) + R_c I_c(t) \quad (2)$$

$$R_c = \frac{\Delta t}{C} \quad (3)$$

$$I_c(t) = \begin{cases} I_{\text{ARM}}(t), & \text{投入} \\ 0, & \text{旁路} \\ I_{\text{ARM}}(t), & \text{闭锁且 } I_{\text{ARM}}(t) > 0 \\ 0, & \text{闭锁且 } I_{\text{ARM}}(t) < 0 \end{cases} \quad (4)$$

式中:  $\Delta t$  为仿真步长;  $U_c(t)$  和  $U_c(t + \Delta t)$  分别为当前时刻和下一时刻的子模块电容电压;  $R_c$  为子模块电容电阻。

根据以上分析,可以得到单个子模块在投入、

旁路、闭锁 3 种不同工作状态下的等效电路，如图 2 所示。

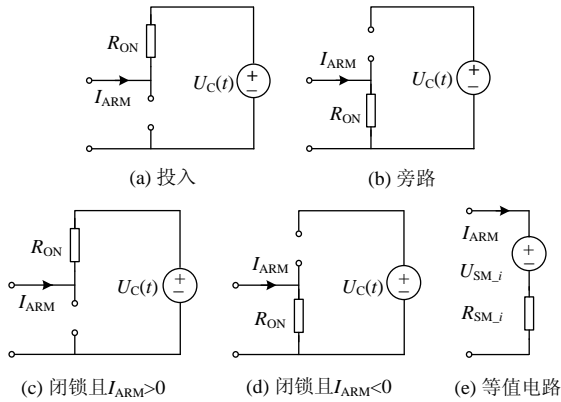


图 2 单个子模块不同工作状态时等效电路

Fig. 2 Equivalent circuit of single sub-module under different working conditions

相应地，在图 2(e)中的统一形式下，一个桥臂中第  $i$  个 ( $1 \leq i \leq N$ ) 子模块戴维南等值支路的电阻  $R_{SM-i}$  和电压  $U_{SM-i}$  分别如式(5)(6)所示。

$$R_{SM-i}(t) = R_{ON} \quad (5)$$

$$U_{SM-i}(t) = \begin{cases} U_{C-i}(t), & \text{投入} \\ 0, & \text{旁路} \\ U_{C-i}(t), & \text{闭锁且 } I_{ARM}(t) > 0 \\ 0, & \text{闭锁且 } I_{ARM}(t) < 0 \end{cases} \quad (6)$$

考虑到闭锁时桥臂电流正反方向特性不同，建立如图 3 所示的单个桥臂的戴维南等效电路。等效模型中引入理想开关器件  $T_A$ 、 $D_A$  和  $T_B$ ，以实现正常工作状态与闭锁状态的切换。 $T_B$  的触发导通信号为闭锁信号， $T_A$  的触发导通信号由闭锁信号取反得到。正常运行时， $T_A$  导通， $T_B$  关断，电流通路为左侧支路，右侧支路不起作用。闭锁时， $T_A$  关断， $T_B$  导通，当桥臂电流  $I_{ARM} > 0$  时，电流通路为流经  $D_A$  的左侧支路；当桥臂电流  $I_{ARM} < 0$  时，电流通路为右侧支路。

由于 MMC 的单个桥臂由  $N$  个完全相同的子模块串联组成，且在图 3 中  $U_{ARM}$  只存在于正常运行及闭锁时  $I_{ARM} > 0$  支路，因此在图 2 的基础上，可以

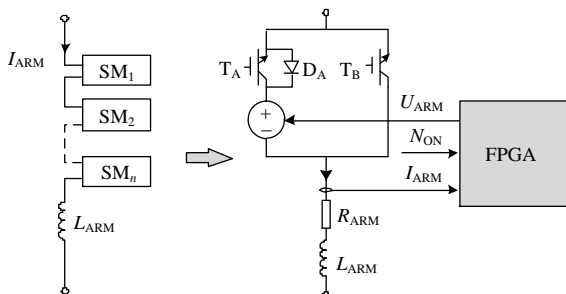


图 3 单个桥臂等效电路图

Fig. 3 Equivalent circuit of single arm

通过累加式(5)(6)得到单个桥臂的戴维南等效电阻  $R_{ARM}$  和电压  $U_{ARM}$ ，分别如式(7)(8)所示。

$$R_{ARM}(t) = NR_{ON} \quad (7)$$

$$U_{ARM}(t) = \begin{cases} \sum_{i=1}^N U_{SM-i}(t), & \text{投入或旁路} \\ \sum_{i=1}^N U_{C-i}(t), & \text{闭锁} \end{cases} \quad (8)$$

式(2)表明，各子模块电容电压的更新计算仅与各自电容电压历史时刻值有关，因此可以独立并行求解。由式(7)可知，MMC 单个桥臂的戴维南等效电阻  $R_{ARM}$  只取决于桥臂子模块个数  $N$  及开关器件的导通电阻  $R_{ON}$ 。在仿真系统参数给定的情况下， $R_{ARM}$  为定值，因此整个桥臂的导纳阵恒定，降低了求解压力。对比式(6)(8)可以发现，闭锁状态下  $U_{ARM}$  的等值计算相当于子模块全部投入时的情形，因此对闭锁状态可看作投入状态下的一种特例。在本文实时仿真模型中，图 3 对应的整个桥臂等效电路在 RTDS 平台中的 PB5 处理器上进行求解，并采用小步长(2.5  $\mu$ s)计算以确保仿真精度。各子模块电容电压更新及桥臂电压计算在 FPGA 中进行，且计算时间为纳秒级，RTDS 与 FPGA 之间通过双向传递  $I_{ARM}$ 、 $N_{ON}$  和  $U_{ARM}$  完成整个闭环时域仿真。

需要说明的是，电磁暂态仿真中通常使用梯形法对微分方程进行离散<sup>[17]</sup>，而本文在对子模块电容离散时选用了前向欧拉法。这是由于梯形法作为一种隐式积分法，其电容差分方程中耦合有当前时刻的电容电流，因此子模块等效电路中含有电容电阻。由于同一桥臂导通的子模块个数是时变的，因此采用隐式积分最终得到的桥臂等效电阻也是时变的。而前向欧拉法是显示积分法，其电容电压更新仅与历史时刻值有关，因此可以得到式(5)(7)的定电阻形式。在数值稳定性方面，梯形法是绝对稳定的，而前向欧拉法是条件稳定的，其数值稳定的前提是离散周期足够小<sup>[18]</sup>。本文中，子模块电容的离散周期为 2.5  $\mu$ s，远小于给电容充电的桥臂电流变化的工频周期(20 ms)，因此这一前提是能够保证的。

### 3 实时仿真模型架构及其 FPGA 实现

#### 3.1 基于双调排序网络的均压控制模块

MMC 的直流侧电压依靠分散在各子模块中的电容提供支撑，子模块电容电压均衡是 MMC 稳定运行的重要前提<sup>[19-21]</sup>。如图 4 所示，子模块均压控制通常采取基于排序的处理方式，阀控系统对同一时刻采集到的所有子模块电容电压进行排序，并根

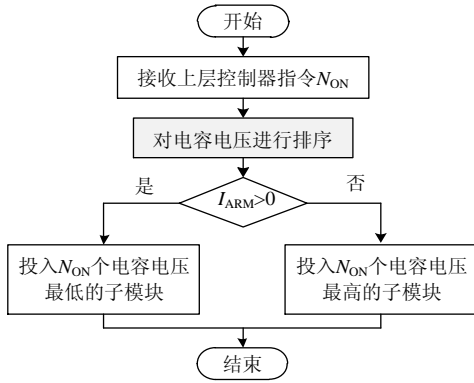


图4 基于排序的电容电压均衡控制方法  
Fig. 4 Sorting-based capacitor voltage balancing control method

据上层控制产生的待导通子模块个数  $N_{ON}$  及桥臂电流  $I_{ARM}$  方向产生各子模块的触发控制信号。在此过程中，排序环节起着重要的作用，且针对同一桥臂众多子模块进行排序，往往要占用大量的计算时间。因此，快速、易于并行实现的排序方法是满足 MMC 实时仿真对计算速度要求的关键。

排序网络是 Kenneth E. Batcher 于 1968 年提出的非适应性并行排序算法，具体又分为 Batcher 奇偶排序网络和 Batcher 双调排序网络<sup>[22]</sup>。两种算法依据不同的数学原理，但都是基于巴切比较器构建。

图 5 为双调排序网络的原理示意图，将图中竖线相连的两个元素进行比较，并将数值较小的元素置于上方，灰色框内包含的两两比较环节在同一时刻并行完成。如图 5 所示，一个包含 8 个元素的无序数组，经过 6 次并行比较环节即可得到升序排列的结果，远远小于串行排序的时间消耗。同时，由于排序网络自身的并行特性，非常适合在 FPGA 中实现对数据的快速排序。因此，考虑 MMC 对电容电压一致性快速控制的需求，本文采用双调排序网络实现子模块电容电压的排序。

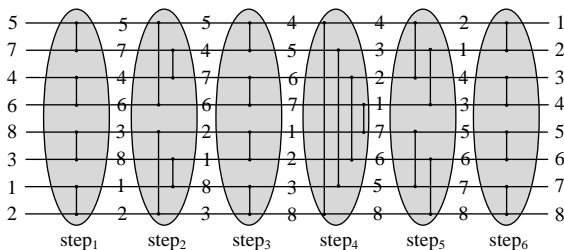


图5 双调排序网络原理示意图  
Fig. 5 Schematic diagram of bitonic sorting network

由于排序网络的排序个数和并行输入数据个数均为 2 的整数次幂<sup>[23]</sup>，因此排序网络的规模应大于等于实际桥臂子模块个数，且当桥臂子模块个数不足时，用远大于实际电容电压的数据补齐。这样

的处理方式能够保证输出的排序升序列表中前  $N$  个数据均为实际的子模块编号，补充的数据始终在排序结果列表的末尾，补充的数据不会对正常的电容电压排序结果产生影响。

### 3.2 基于并行流水线技术的桥臂计算模块

为发挥 FPGA 硬件并行结构和分布式内存的优势，本文采用基于并行流水线技术的桥臂等值计算模块。具体操作是将同一个桥臂的子模块分成  $m$  组，每组包含  $n$  个子模块。 $m$  组之间是并行计算，每组内部的  $n$  个子模块则是采取硬件复用的流水形式。此种处理方式能够提高数据的处理速度<sup>[24-25]</sup>。将闭锁状态作为一种特殊的投入状态，则经分组后，式(8)转为式(9)，其中  $U_{ARM-i}$  为第  $i$  条流水线中子模块等效电压之和， $U_{SM-ij}$  为第  $i$  条流水线中第  $j$  个子模块的等效电压， $1 \leq i \leq m, 1 \leq j \leq n$ 。

$$U_{ARM}(t) = \sum_{i=1}^m U_{ARM-i}(t) = \sum_{i=1}^m \sum_{j=1}^n U_{SM-ij}(t) \quad (9)$$

图 6 为第  $m$  个流水线的计算架构。在流水线内部，主要根据式(2)–(4)更新每个子模块的电容电压，并根据式(9)累加得到  $U_{ARM-i}(1 \leq i \leq m)$ 。

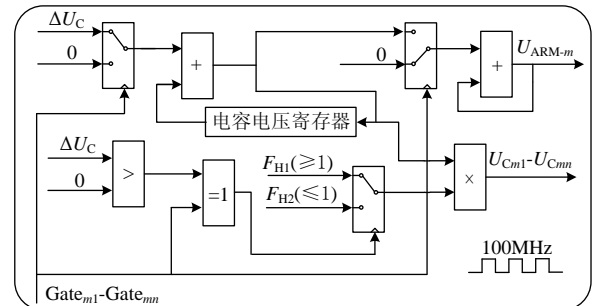


图6 单个流水线解算框架  
Fig. 6 Calculation framework for single pipeline

图 6 中  $F_{H1}$  和  $F_{H2}$  均为保持因子，其作用在于根据上一时刻的状态和当前时刻的电流方向对子模块电容电压进行预处理，再进行排序。保持因子主要用于优化器件的开关频率，具体设置方式可参考文献[17]。图 7 为流水线处理方式的时序图，假设第一个子模块需要  $M$  个时钟周期完成计算，每增加一个时钟周期又可以完成下一个子模块的计算，则整个桥臂共需要  $M+n-1$  个时钟周期。

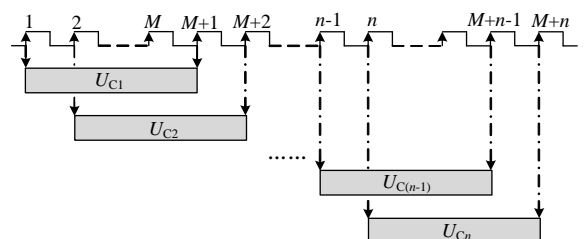


图7 流水线计算模型示意图  
Fig. 7 Schematic diagram of pipeline calculating model

### 3.3 整体解算架构

根据 3.1、3.2 节所述，综合 MMC 桥臂流水线计算模块和基于双调排序网络的均压控制模块，可以得到如图 8 所示的 MMC 模型整体计算构架，对应于图 3 灰色框内的 FPGA 求解部分。图 6 又对应于图 8 中灰色框内部分，每个桥臂的解算架构完全相同，单个 FPGA 并行完成 6 个桥臂的求解计算。

整个模块受 100 MHz 的时钟驱动。经各流水线处理后的子模块电容电压输入到排序网络中，进一步得到排序结果列表。其中，并行的流水线条数与双调排序网络的数据输入路数相等，从而使得更新后的电容电压可以直接输入到排序网络中，不需要经过寄存器缓存和路数转换，这样的处理方式能够在一定程度上优化模型占用的 FPGA 资源。触发信号生成模块根据桥臂电流方向和上层控制给定的导通子模块个数更新触发控制信号，并存入寄存器中，在下次桥臂等值计算时使用。同时，根据

式(9)计算得到的  $U_{ARM}$  返送 RTDS，用于更新桥臂等效电压。经实测，单个子模块电容电压更新需要 11 个时钟周期。FPGA 与 RTDS 交互的  $I_{ARM}$  和  $U_{ARM}$  均为符合 IEEE-754 标准的单精度浮点数，而内部求解均采用定点数形式。定点数维数越高，数值精度越高，但模型中涉及到的运算模块、寄存器模块的资源消耗也随之增加。因此，综合考虑数值精度和 FPGA 资源消耗，本文中定点数采用 24 位，其中整数部分 8 位，小数部分 16 位。图 8 中 Float2Fixed 和 Fixed2Float 分别为相应的浮点转定点和定点转浮点模块。此外，RTDS 与 FPGA 之间的通信接口可以双向传递 64 个 32 位整型或实型变量，除了图 8 中参与到闭环实时仿真的变量外，还可以将 FPGA 内部中间变量(如子模块电容电压、触发控制信号等)传递到 RTDS 端，用于可视化输出，辅助硬件开发和调试。

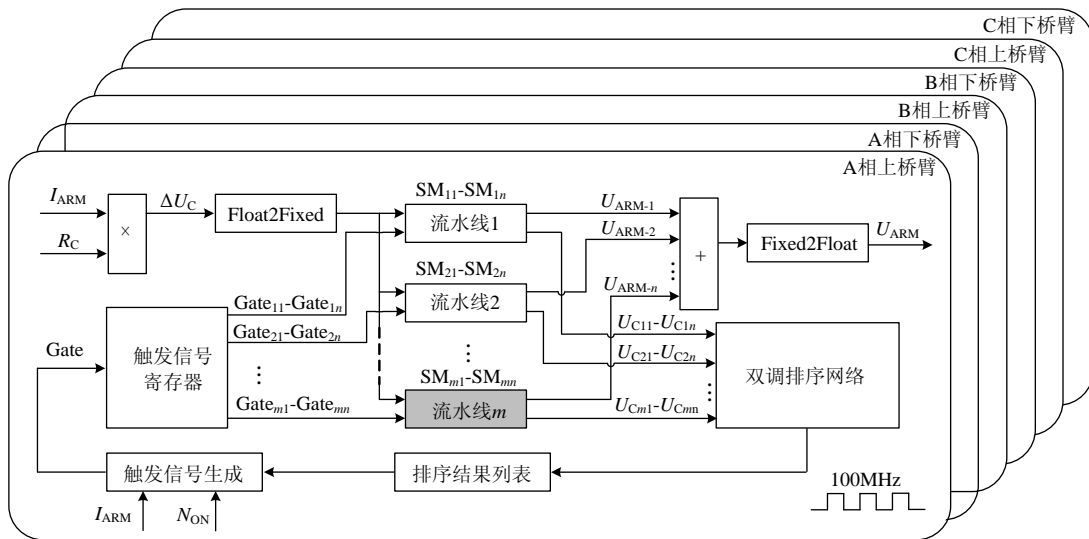


图 8 FPGA 模型整体解算框架

Fig. 8 Integral calculation framework for the FPGA model

图 9 为相应的模型求解时序图，FPGA 计算模块求解时间为 ns 级，能够保证在每个 RTDS 小步长内完成桥臂计算、电容电压更新以及与 RTDS 之间的数据交互。FPGA 的求解受 RTDS 驱动，即每个 RTDS 小步长周期求解一次，从而使得 2 种硬件下保持同步。均压模块可配置为若干仿真步长执行一次(图 9 所示为每 7.5 μs 执行一次)，触发信号寄存器能够保证触发控制信号更新后，用于之后的仿真等值计算。

### 4 仿真验证与性能分析

本文采用 201 电平 MMC 系统验证所开发的 FPGA 仿真模型，通过对比在线和离线仿真结果，

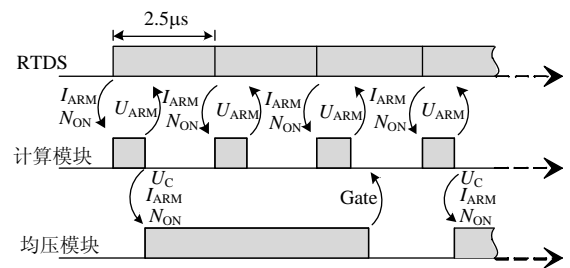


图 9 模型求解时序图

Fig. 9 Time sequence diagram of the model

验证了模型在潮流反转、交流系统故障和直流系统故障等工况下的仿真精度。另外，对比分析了不同分组数、不同电平数下 FPGA 的性能和硬件资源的使用情况。

### 4.1 仿真系统

为验证 FPGA 模型的仿真精度, 本文在 RTDS 实时仿真环境及 PSCAD/EMTDC 离线仿真环境下分别搭建了图 10 所示的 201 电平 MMC 测试系统, 详细一次系统参数见表 1。MMC 采用定有功功率和定无功功率控制, 整定值分别为 200 MW 和 0 Mvar。

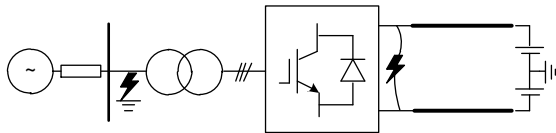


图 10 201 电平单端 MMC 测试系统

Fig. 10 201-level single-terminal MMC test system

表 1 201 电平 MMC 仿真系统参数

Tab. 1 Parameters of the 201-level single MMC system

变压器			直流系统		
变压器额定容量	变压器变比	变压器漏抗	直流电压	直流线路电阻	直流线路电感
$S_N/\text{MVA}$	$k/\text{kV}$	$X_T/\text{pu}$	$U_{DC}/\text{kV}$	$R_{DC}/\Omega$	$L_{DC}/\text{H}$
500	230/225	0.10	$\pm 200$	1.0	0.1
交流系统		MMC			
交流系统电压	交流系统等值阻抗	子模块电容	桥臂串联电感	单个桥臂子模块个数	子模块导通电阻
$U_s/\text{kV}$	$Z_s/\Omega$	$C/\text{mF}$	$L_{ARM}/\text{mH}$	数 $N$	$R_{ON}/\Omega$
230	$0.1+j0.314$	6.6	50	200	0.01

图 11 为实时仿真实验平台的实物照片, 本文选用 Xilinx 公司 Virtex-6 系列 ML605 集成开发板, 在 Xilinx ISE 14.7 集成开发环境下使用 Verilog HDL 硬件描述语言开发实现第 3 节所述等值计算模型, 使用单块 FPGA 板卡仿真单端 MMC 系统。FPGA 板卡与 RTDS 之间通过全双工光纤建立通讯连接。



图 11 实验平台配置

Fig. 11 Configuration of the experimental platform

### 4.2 仿真精度验证

#### 4.2.1 潮流反转

图 12 所示为潮流反转时仿真结果对比图, 图中从上至下依次为 A 相上桥臂电流、直流出口电流

和变压器网侧 A 相电压。初始状态下有功功率整定值为 200 MW, 无功功率整定值为 0 Mvar。在  $t=2.0\text{s}$  时, 有功功率整定值调整为 -200 MW, 同时限定其变化率为 2000 MW/s。从图 12 可以看出, 由于有功功率方向改变, 直流出口电流和桥臂电流中的直流分量极性发生反转。FPGA 模型和 PSCAD 中的仿真结果几乎完全重合, 桥臂电流的均方根误差为 0.21%。

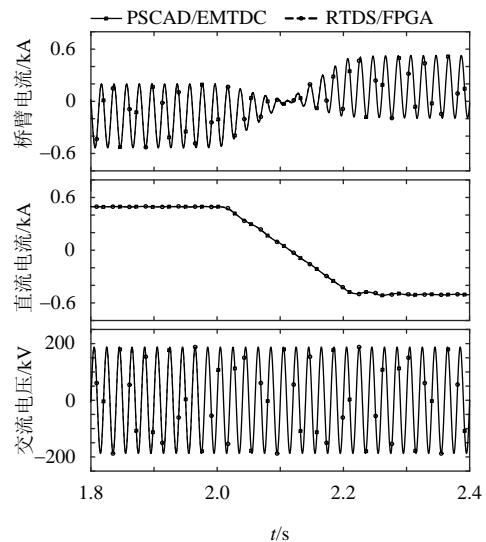


图 12 潮流反转仿真结果对比

Fig. 12 Simulation results comparison of power flow reversal

#### 4.2.2 交流 A 相接地故障

初始运行状态同上, 同样在  $t=2.0\text{s}$  时, 在图 10 中标注的变压器网侧引入 A 相接地故障, 持续时间 2s, 图 13 为相应的仿真结果对比图。故障发生后, A 相电压跌落, A 相桥臂电流相比于正常运行时明显增大; 同时, 由于故障的不对称性, 直流电流出现二倍频波动分量。在整个仿真过程中, 桥臂电流的均方根误差为 0.35%。

#### 4.2.3 直流双极短路故障

仍在  $t=2.0\text{s}$  时, 在图 10 标注的换流站直流侧出口引入双极永久性短路故障, 设置控保系统检测到任一桥臂电流值超过 3 kA 阈值时, 闭锁整个换流站, 相应的仿真结果对比见图 14。从图中可以看到, 故障发生后, 子模块电容通过短路点迅速放电, 桥臂电流和直流侧电流激增。由于半桥子模块不具备隔离直流侧故障的能力, 闭锁后交流侧通过二极管续流, MMC 逐渐过渡到三相不控整流桥状态。仿真过程中桥臂电流的均方根误差为 2.12%。相较于前 2 种场景, 直流侧双极短路时的仿真误差相对较大, 但仍在可接受范围内。

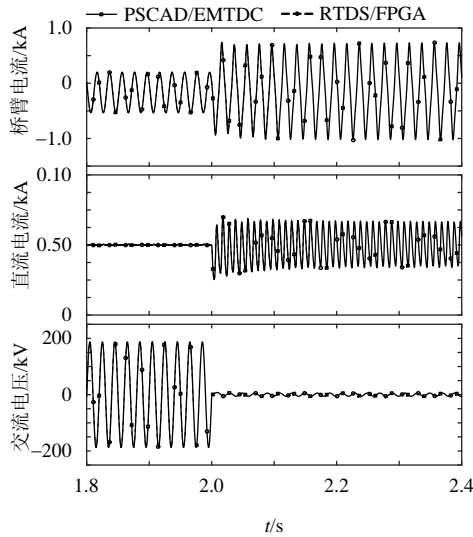


图 13 交流侧 A 相接地故障仿真结果对比  
Fig. 13 Simulation results comparison of phase-A line-to-ground fault

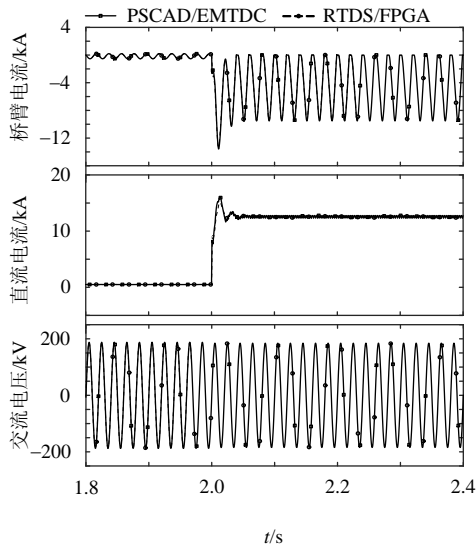


图 14 直流侧双极短路故障仿真结果对比  
Fig. 14 Simulation results comparison of DC pole-to-pole fault

4.2.4 闭锁启动充电

闭锁整个换流站，交流侧通过 1000 Ω 的启动电阻对子模块电容充电。图 15 所示为闭锁启动充电时的仿真结果对比，图中从上到下依次是 A 相上桥臂 SM<sub>1</sub> 电容电压、A 相上桥臂电流和 A 相上桥臂电压。从图中可以看到，交流系统通过启动电阻和二极管不断对子模块电容充电，并逐渐建立起桥臂电压，本文模型和 PSCAD 的仿真结果高度一致，整个过程中桥臂电流的均方根误差为 0.11%。

综合分析以上 4 种工况下的仿真结果，本文提出的 MMC 实时仿真模型能够精确模拟在各类工况下的运行特性，满足仿真需求。

4.3 FPGA 资源使用及时间性能

为了进一步测试本文开发的 MMC 模型的性

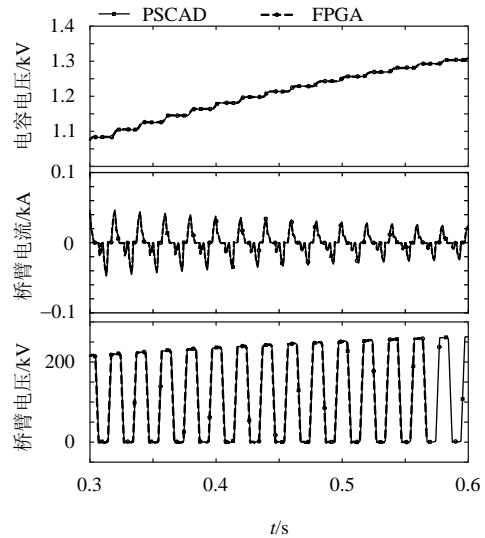


图 15 闭锁启动充电仿真结果对比  
Fig. 15 Simulation results comparison of block charging mode

能，本节详细对比了在不同并行流水线个数、不同电平数下的硬件资源占用情况和时间性能，分别如表 2 和表 3 所示。其中，表 2 为桥臂子模块个数  $N$  为 200，并行流水线个数  $m$  分别为 1、2、4 时的结果。表 3 为并行流水线个数  $m$  为 4，桥臂子模块个数  $N$  在 100—500 内变化的结果。硬件资源包括寄存器(Resister)、查找表(LUT)、块 RAM(BRAM)和 DSP48E1 共 4 项主要指标，且表中数据均为 FPGA 经编译器布局布线后的实际资源使用率。时间性能包括桥臂模型的计算时间和排序模块的排序时间。

表 2 不同流水线个数下 FPGA 模型资源占用及时间性能对比( $N=200$ )

Tab. 2 FPGA resource utilization and calculation latency comparison under different number of pipelines ( $N=200$ )

流水线个数 $m$	硬件资源				时间性能	
	Resister/%	LUT/%	BRAM/%	DSP48E1/%	计算时间/ns	排序时间/ns
1	28	33	2	2	2100	12810
2	28	45	2	5	1100	6710
4	50	77	2	9	600	4010

对比表 2 数据可知，增加流水线个数  $m$ ，模型的计算时间和排序时间均相应减少。这是由于随着  $m$  的增大，流水线内部需要处理的子模块数减少，且增加了排序网络的数据输入速率。但由于每条流水都占用一定的逻辑资源，相应的资源使用率也会增加。因此时间性能和硬件资源是矛盾的，增加流水线个数本质上是牺牲空间换取时间的方法。

对比表 3 数据可知，每增加 100 个子模块，每个流水线需要多处理 25 个子模块，因此模型计算时间依次增加 250 ns。由于排序网络的排序个数为

表3 不同桥臂子模块个数下 FPGA 模型资源占用及时间性能对比( $m=4$ )

Tab. 3 FPGA resource utilization and calculation latency comparison under different number of SMs per arm ( $m=4$ )

子模块 个数 $N$	硬件资源				时间性能	
	Resister/ %	LUT/ %	BRAM/ %	DSP48E1/ %	计算时 间/ns	排序时 间/ns
100	41	60	2	9	350	2370
200	50	77	2	9	600	4010
300	59	90	2	9	850	6980
400	59	91	2	9	1100	6980
500	59	93	2	9	1350	6980

2的整数次幂,因此当 $N$ 为300、400和500时,实际排序数据个数均为512,这3组对应的排序时间相同。同时,随着 $N$ 增大,每个流水线内部处理子模块个数增加,寄存器和查找表资源相应增大。当桥臂子模块个数为500,即仿真3000个子模块时,FPGA的LUT资源占用率为93%,几乎达到上限。因此在当前配置下,使用单个ML605开发板可以实现501电平的单端MMC实时仿真。当实际需要更小步长(增大 $m$ )、仿真更高电平(增大 $N$ )时,可以使用具备更高硬件资源的FPGA或将仿真任务分配到多个FPGA中进行。

## 5 结论

本文提出了一种适用于FPGA实现的MMC实时仿真模型,并进行了模型仿真精度验证,以及硬件资源使用和时间性能分析,得到如下结论:

1) 所提模型具备较高的仿真精度,能够精确模拟MMC在动态、交直流侧暂态工况下的运行特性,误差在可接受范围内。

2) 提出了使用并行流水线技术完成MMC桥臂阀组的等值计算方法,计算步长为纳秒级,满足包含大量电力电子器件的MMC实时仿真需求。

3) 集成了双调排序网络,以实现电容电压的均衡控制问题,避免了大量子模块电容电压和触发控制信号的实时吞吐,模型集成度高,使用单块ML605开发板可以实现501电平MMC的实时仿真。

4) 所提模型具有可移植性和扩展性,可以应用于其他子模块拓扑的研究,并适用于构建大规模MMC直流电网实时仿真平台。

本文模型仅使用FPGA完成MMC桥臂阀组的等值计算,更进一步,未来需要研究开发包含大规模交、直流系统在内的FPGA仿真模型,并完善MMC子模块层级故障的仿真功能。

## 参考文献

[1] 汤广福, 庞辉, 贺之渊. 先进交直流输电技术在中国的发展与应

用[J]. 中国电机工程学报, 2016, 36(7): 1760-1771.

Tang Guangfu, Pang Hui, He Zhiyuan. R&D and application of advanced power transmission technology in China[J]. Proceedings of the CSEE, 2016, 36(7): 1760-1771(in Chinese).

[2] 李亚楼, 穆清, 安宁, 等. 直流电网模型和仿真的发展与挑战[J]. 电力系统自动化, 2014, 38(4): 127-135.

Li Yalou, Mu Qing, An Ning, et al. Development and challenge of modeling and simulation of DC grid[J]. Automation of Electric Power Systems, 2014, 38(4): 127-135(in Chinese).

[3] 贺之渊, 刘栋, 庞辉. 柔性直流与直流电网仿真技术研究[J]. 电网技术, 2018, 42(1): 1-11.

He Zhiyuan, Liu Dong, Pang Hui. Research of simulation technologies of VSC-HVDC and DC grids[J]. Power System Technology, 2018, 42(1): 1-11(in Chinese).

[4] 许建中, 李承昱, 熊岩, 等. 模块化多电平换流器高效建模方法研究综述[J]. 中国电机工程学报, 2015, 35(13): 3381-3392.

Xu Jianzhong, Li Chengyu, Xiong Yan, et al. A review of efficient modeling methods for modular multilevel converters[J]. Proceedings of the CSEE, 2015, 35(13): 3381-3392(in Chinese).

[5] 林雪华, 郭琦, 郭海平, 等. 基于FPGA的柔性直流实时仿真技术及试验系统[J]. 电力系统自动化, 2017, 41(12): 33-39.

Lin Xuehua, Guo Qi, Guo Haiping, et al. FPGA based real-time simulation technology and test system of flexible DC[J]. Automation of Electric Power Systems, 2017, 41(12): 33-39(in Chinese).

[6] 张宏俊, 郝正航, 陈卓, 等. 适用于模块化多电平换流器实时仿真的建模方法[J]. 电力系统自动化, 2017, 41(7): 120-126.

Zhang Hongjun, Hao Zhenghang, Chen Zhuo, et al. Modeling method for real time simulation of modular multilevel converter [J]. Automation of Electric Power Systems, 2017, 41(7): 120-126(in Chinese).

[7] Saad H, Ould-Bachir T, Mahseredjian J, et al. Real-time simulation of MMCs using CPU and FPGA[J]. IEEE Transactions on Power Electronics, 2014, 30(1): 259-267.

[8] 王宇, 刘崇茹, 李庚银. 基于FPGA的模块化多电平换流器实时仿真建模与硬件在环实验[J]. 中国电机工程学报, 2018, 38(13): 3912-3920.

Wang Yu, Liu Chongru, Li Gengyin. FPGA-based real-time modelling of modular multilevel converter and hardware-in-the-loop simulation [J]. Proceedings of the CSEE, 2018, 38(13): 3912-3920(in Chinese).

[9] 辛业春, 王威儒, 李国庆, 等. 多端柔性直流输电系统数字物理混合仿真技术[J]. 电网技术, 2018, 42(12): 3903-3909.

Xin Yechun, Wang Weirui, Li Guoqing, et al. Power hardware-in-loop simulation for MMC-MTDC transmission systems[J]. Power System Technology, 2018, 42(12): 3903-3909(in Chinese).

[10] 喻锋, 王西田, 林卫星, 等. 模块化多电平换流器快速电磁暂态仿真模型[J]. 电网技术, 2015, 39(1): 257-263.

Yu Feng, Wang Xitian, Lin Weixing, et al. Fast electromagnetic transient simulation models of modular multilevel converter[J]. Power System Technology, 2015, 39(1): 257-263(in Chinese).

[11] Li W, Bélanger J. An equivalent circuit method for modelling and simulation of modular multilevel converters in real-time HIL test bench[J]. IEEE Transactions on Power Delivery, 2016, 31(5): 2401-2409.

[12] Peralta J, Saad H, Dennetière S, et al. Detailed and averaged models for a 401-Level MMC-HVDC system[J]. IEEE Transactions on Power Delivery, 2012, 27(3): 1501-1508.

[13] 郭高朋, 胡学浩, 温家良, 等. 基于大规模子模块群的MMC建模与快速仿真算法[J]. 电网技术, 2015, 39(5): 1226-1232.

Guo Gaopeng, Hu Xuehao, Wen Jialiang, et al. A large-scale submodule group based algorithm for modelling and high-speed

- simulation[J]. Power System Technology, 2015, 39(5): 1226-1232(in Chinese).
- [14] Gnanarathna U N, Gole A M, Jayasinghe R P. Efficient modeling of modular multilevel HVDC converters(MMC)on electromagnetic transient simulation programs[J]. IEEE Transactions on Power Delivery, 2010, 26(1): 316-324.
- [15] Maguire T, Warkentin B, Chen Y, et al. Efficient techniques for real time simulation of MMC systems[C]//International Conference on Power Systems Transients(IPST'13)in Vancouver, Canada, 2013.
- [16] Ou K, Rao H, Cai Z, et al. MMC-HVDC simulation and testing based on real-time digital simulator and physical control system[J]. IEEE Journal of Emerging & Selected Topics in Power Electronics, 2014, 2(4): 1109-1116.
- [17] PSCAD X4 user's guide[M]. Winnipeg, MB, Canada: Manitoba Research Center, 2009.
- [18] 李庆扬, 王能超, 易大义. 数值分析[M]. 第5版. 北京: 清华大学出版社, 2008: 293-297.
- [19] 屠卿瑞, 徐政, 郑翔, 等. 一种优化的模块化多电平换流器电压均衡控制方法[J]. 电工技术学报, 2011, 26(5): 15-20.  
Tu Qingrui, Xu Zheng, Zheng Xiang, et al. An optimized voltage balancing method for modular multilevel converter[J]. Transactions of China Electrotechnical Society, 2011, 26(5): 15-20(in Chinese).
- [20] 管敏渊, 徐政. MMC型VSC-HVDC系统电容电压的优化平衡控制[J]. 中国电机工程学报, 2011, 31(12): 9-14.  
Guan Minyuan, Xu Zheng. Optimized capacitor voltage balancing control for modular multilevel converter based VSC-HVDC system [J]. Proceedings of the CSEE, 2011, 31(12): 9-14(in Chinese).
- [21] Li W, Grégoire L A, Bélanger J. A modular multilevel converter pulse generation and capacitor voltage balance method optimized for FPGA implementation[J]. IEEE Transactions on Industrial Electronics, 2015, 62(5): 2859-2867.
- [22] 顾乃杰, 王旭, 陈国良, 等. 并行双调排序算法的有效实现及性能分析[J]. 计算机研究与发展, 2002, 39(10): 1343-1348.  
Gu Naijie, Wang Xu, Chen Guoliang, et al. An efficient implementation and performance analysis of parallel bitonic sorting [J]. Journal of Computer Research and Development, 2002, 39(10): 1343-1348(in Chinese).
- [23] Mueller R, Teubner J, Alonso G. Sorting networks on FPGAs [J]. VLDB Journal, 2012, 21(1): 1-23.
- [24] 夏宇闻. Verilog 数字系统设计教程[M]. 第2版. 北京: 北京航空航天大学出版社, 2008.
- [25] 徐文波, 田耘. Xilinx FPGA 开发实用教程[M]. 第2版. 北京: 清华大学出版社, 2012.



王宇

收稿日期: 2018-09-18。

作者简介:

王宇(1993), 男, 博士研究生, 研究方向为模块化多电平换流器建模与运行控制策略, E-mail: wangyu\_ncepu@163.com;

刘崇茹(1977), 女, 通信作者, 博士, 教授, 博士生导师, 主要从事交直流混合系统分析与仿真、运行与控制的科研和教学工作, E-mail: chongru.liu@ncepu.edu.cn;

凌博文(1995), 男, 硕士研究生, 研究方向为柔性直流输电系统运行与控制, E-mail: lingbowen1995@163.com。

(实习编辑 许晓艳)