

# 适用于 FPGA 的模块化多电平换流器电容电压均衡控制方法

王宇<sup>1</sup>, 刘崇茹<sup>1</sup>, 李庚银<sup>1</sup>, 孙吉波<sup>2</sup>, 伍双喜<sup>2</sup>

(1. 新能源电力系统国家重点实验室(华北电力大学), 北京市 102206;

2. 广东电网有限责任公司电力调度控制中心, 广东省广州市 510600)

**摘要:**子模块电容电压均衡是模块化多电平换流器稳定运行的重要前提。针对传统均压控制方法排序计算量大、器件开关频率高的问题,从实际工程角度出发,提出了一种适用于现场可编程门阵列的新型电容电压均衡控制方法。根据正常运行时电容电压波动范围划分若干子区间,并依据实时采集到的电容电压将子模块匹配到相应的子区间分组内。在此基础上,针对电容电压在额定值附近的子模块,分组时考虑上一时刻的开关状态,并遵循尽量维持原有开关状态不变的原则进一步降低了器件的开关频率。在 ML605-FPGA 板卡中开发实现所提方法,并与实时数字仿真器组成硬件在环实时仿真系统。仿真实验结果验证了该方法的可行性与有效性。

**关键词:**模块化多电平换流器;电容电压平衡;现场可编程门阵列;实时仿真;硬件在环

## 0 引言

模块化多电平换流器(modular multilevel converter, MMC)是柔性直流输电向高电压、大容量方向发展的最新成果<sup>[1-3]</sup>。相比于两电平和三电平拓扑结构的换流器,MMC 采用子模块级联的拓扑结构,具备开关频率低、输出波形质量好、对开关一致性要求低、扩展性好等优势,成为柔性直流输电领域的研究热点,并取得了越来越多的工程应用<sup>[4-5]</sup>。

MMC 直流侧电压依靠分散在各子模块中的电容提供支撑,子模块电容电压均衡是 MMC 稳定运行的重要前提<sup>[6-8]</sup>。文献[9]提出基于排序的传统均压控制方法,其原理简单,并能实现电容电压的有效平衡,但也存在一些缺陷:一方面排序算法的计算量大,特别是实际工程中单个桥臂包含数百个子模块,在短时间内对众多电容电压进行排序可能导致控制器计算负担过重,甚至在控制周期内难以完成计算;另一方面电容电压微小的变化也会导致子模块的反复投切,较高的开关频率进一步造成较高的开关损耗,降低 MMC 运行的经济性。文献[10]通过引入子模块间电容电压最大偏差量对传统均压方法进行了改进,能够有效避免同一子模块不必要的反复投切现象,可降低开关频率。文献[11]提出了一种分层均压控制方法,能够在一定程度上减小排序的计

算量。文献[12]在电容电压额定值附近设置上下限并引入保持因子,并尽量保证电容电压未越限的子模块在下一时刻保持原有的投切状态,以降低器件的开关频率,但此方法仍须对所有子模块排序。文献[13-15]从减小控制器计算量的角度出发,通过分组或多层分组的方法减小排序计算量,同时也引入了复杂的组间电压均衡问题。上述方法采用电磁暂态仿真软件进行验证,而实际工程中,控制器一般采用现场可编程门阵列(field programmable gate array, FPGA)进行阀级控制,即子模块电容电压均衡和触发脉冲产生<sup>[16]</sup>。文献[17]提出一种适用于 FPGA 实现的电容电压均衡控制方法,但仍采用串行方式进行排序,没有发挥 FPGA 并行特性的优势。文献[18]利用 FPGA 设计一种并行全排序均压方法,其本质是在同一时刻将所有子模块电容电压两两比较,进而得到排序结果。当子模块数目较多时,需要占用较多的硬件资源,对 FPGA 的硬件配置要求较高,增加了控制器的成本。

针对上述问题,本文设计了一种基于 FPGA 的新型子模块电容电压平衡控制方法。根据正常运行时电容电压波动大小划分多个子区间,并根据实时采集的子模块电容电压将子模块匹配到相应的子区间分组内。在此基础上,针对电压在额定值附近的子模块,分组时结合上一时刻开关状态,遵循尽量维持原有状态不变的原则进一步降低了器件的开关频率。最后基于 Verilog HDL 硬件描述语言在 ML605-FPGA 板卡上开发实现所提方法,并与实时

收稿日期:2018-02-04;修回日期:2018-07-10。

上网日期:2018-11-01。

<http://www.aeps-info.com> 167

数字仿真器(RTDS)组成 101 电平实时仿真实验平台,通过硬件在环实验验证了该方法的可行性和有效性。

## 1 基于排序的 MMC 传统均压控制方法

### 1.1 MMC 基本原理

MMC 的基本结构如附录 A 图 A1 所示。单个 MMC 换流站由三相六桥臂组成,每个桥臂包含桥臂电抗器  $L_0$  和  $n$  个级联连接的子模块。每个子模块由直流储能电容器  $C$ , 2 个绝缘栅双极型晶体管 (IGBT) 及其反并联二极管组成,用  $T_1, T_2$  表示。正常工作状态下,  $T_1$  和  $T_2$  信号互补。当  $T_1$  导通  $T_2$  关断时,子模块输出电压为电容电压,子模块电容依据桥臂电流  $I_{arm}$  (附录 A 图 A1 中仅标注 A 相上桥臂) 方向进行充放电;当  $T_1$  关断  $T_2$  导通时,子模块输出电压为 0,电容电压维持不变。

### 1.2 传统均压控制方法

传统子模块电容电压平衡控制方法如附录 A 图 A2 所示,其基本原理是根据单个桥臂的所有子模块电容电压值进行排序,并根据此时的桥臂电流  $I_{arm}$  的方向和上层控制给出的待导通子模块个数  $n_{on}$ ,按照排序的结果确定导通的子模块。若桥臂电流方向对子模块电容充电,则选取电容电压较小的  $n_{on}$  个子模块导通;若桥臂电流方向对子模块电容放电,则选取电容电压较大的  $n_{on}$  个子模块导通。

传统均压控制方法的核心在于对电容电压进行排序,而排序过程需要消耗一定的计算时间。特别是现如今 MMC 系统向高电压大容量方向发展,单个桥臂需要越来越多的子模块串联。而且 MMC 控制系统控制周期通常为几十微秒,普通处理器在短时间内难以完成对众多电容电压排序,因而此过程基本采用 FPGA 实现。与数字信号处理器 (digital signal processor, DSP) 相比, FPGA 具有并行特性的架构优势,并配备丰富的可扩展高速通信接口,可以实现高度并行的数值计算和快速的数据通信。实际工程中通常使用 DSP 完成系统级控制,使用 FPGA 实现阀级控制,从而可以快速采集分散在各个子模块内部的电容电压信息,并根据均压控制结果在短时间内产生对应子模块的触发驱动信号。因此,研究适用于 FPGA 的高电平 MMC 电容电压均衡控制方法对实际工程具有重要的指导意义。

## 2 适用于 FPGA 的新型均压控制方法

文献[11]采用动态分组,遍历所有子模块电容电压,获取最大值和最小值,并将最大值和最小值之间按照电容电压大小均分为若干组,通过分组匹配

的方式代替排序操作。此方法主要针对减小计算量,而没有考虑对于开关频率的优化。本文借鉴文献[11]的分组思想,但采用阈值固定的分组匹配方式,并考虑降低器件开关频率,具体方法及实现流程如下。

### 2.1 根据电容电压大小对子模块分组

电容电压平衡控制的目的是保证同一桥臂的所有子模块电容电压运行在额定值附近,并抑制子模块电容电压相对额定值的波动幅度。且当电容电压过高(低)时,会触发相应的子模块过(欠)压保护,因此正常运行子模块的电容电压总是在额定值附近的一定范围内<sup>[19]</sup>。根据这一想法,可以设定电容电压的上限  $U_{max}$  和下限  $U_{min}$ ,在正常运行时,子模块电容电压均处于  $[U_{min}, U_{max}]$  区间内。然后根据电容电压大小划分为  $M$  组,每组对应一个存储器用于保存相应的子模块编号。考虑到 MMC 在启停或发生故障等极端情况下会出现子模块电容电压超出  $[U_{min}, U_{max}]$  区间的情况,因此电容电压大于上限和小于下限各占一组,并将  $[U_{min}, U_{max}]$  区间平均分为  $M-2$  组,则相应的子区间层高为:

$$\Delta U = \frac{U_{max} - U_{min}}{M - 2} \quad (1)$$

第  $i$  组与第  $i+1$  组之间的分界阈值为:

$$U_{th,i} = U_{min} + (i - 1)\Delta U \quad i = 1, 2, \dots, M - 1 \quad (2)$$

先进先出 (first input first output, FIFO) 存储器是 FPGA 设计中常用的先输入先输出存储机制的存储器,每个分组对应的存储空间选用 FIFO 存储器实现。子模块分组实现流程如图 1 所示。

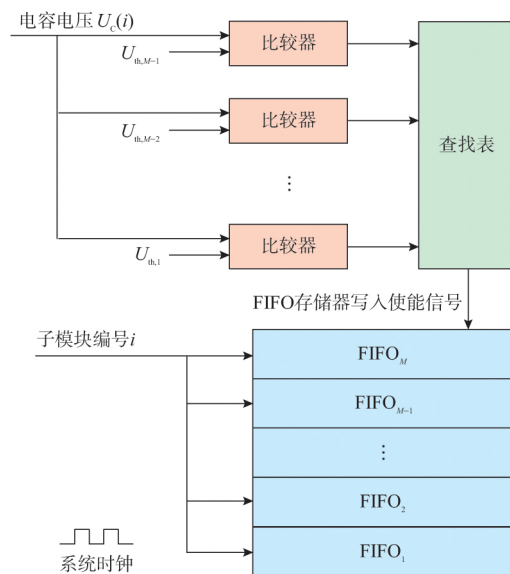


图 1 子模块分组实现流程  
Fig. 1 Implementation process of sub-module grouping

FPGA接收到的电容电压无须存储,直接采用流水线形式同步并行地与 $M-1$ 个组间分界阈值进行比较,根据比较结果确定子模块对应的FIFO存储器,使能相应FIFO存储器的写入信号,并将子模块编号录入对应的FIFO存储器。由于比较结果和FIFO存储器的写入使能信号之间存在一一对应关系,因此可以采用查找表的形式实现子模块与对应FIFO存储器之间的快速匹配。

为了更好地说明本方法的实现流程,下面列举一实例进行说明。假设MMC桥臂包含10个子模块,在某一时刻采集到的第1至第10个子模块电容电压分别为2.2,2.6,1.7,2.7,1.2,1.4,1.8,1.9,2.8,1.6 kV。选取 $U_{\max}$ 和 $U_{\min}$ 分别为3 kV和1 kV,分组数 $M$ 为6,则根据式(1)和式(2)计算得到相应的组间阈值分别为1,1.5,2,2.5,3 kV。

首先,在第1个时钟周期,对应第1个子模块,其电容电压为2.2 kV,与5个阈值比较后,确定位于 $[2.0, 2.5)$  kV区间,故使能第4个FIFO存储器的写入信号,并将子模块编号1写入FIFO<sub>4</sub>存储器。其次,在第2个时钟周期,对应第2个子模块,其电容电压为2.6 kV,与5个阈值比较后,确定位于 $[2.5, 3.0)$  kV区间,故使能第5个FIFO存储器的写入信号,并将子模块编号2写入FIFO<sub>5</sub>存储器。以此类推,经过10个时钟周期,10个子模块全部完成分组匹配后,各个FIFO存储器中存储的子模块编号如图2所示。

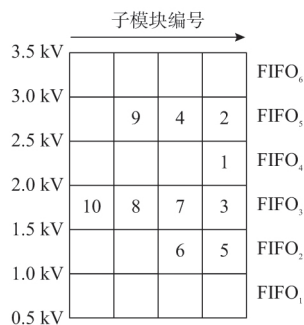


图2 实例中的分组结果

Fig. 2 Grouping results of sub-module in the example

## 2.2 触发脉冲生成

待所有子模块匹配完毕后,开始读取FIFO存储器中存储的子模块编号,并产生各子模块的触发控制信号。根据电容的储能特性,充电时电容电压上升,放电时电容电压下降,且第 $i$ 个FIFO存储器中存储的子模块的电容电压比第 $i+1$ 个FIFO存储器中存储的子模块的电容电压小。因此,当桥臂电流方向为充电方向时,从下至上依次读取FIFO存储器中存储的子模块编号;当桥臂电流方向为放

电方向时,从上至下依次读取FIFO存储器中存储的子模块编号。两种情况下均对输出的前 $n_{\text{on}}$ 子模块导通,后 $n-n_{\text{on}}$ 个子模块关断,如图3所示。

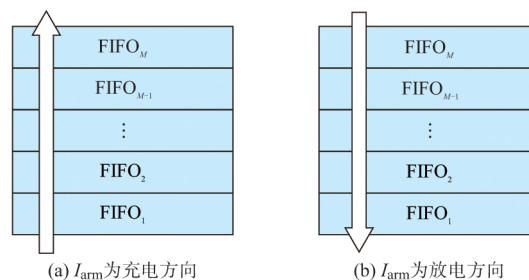


图3 FIFO存储器的读取顺序

Fig. 3 Reading sequence of FIFO memory

结合图2说明此过程,假设此时桥臂电流 $I_{\text{arm}}$ 方向对子模块电容充电,导通子模块个数 $n_{\text{on}}$ 为3,因此自下而上依次读取FIFO存储器中的数据。根据FIFO存储器的先输入先输出特性,输出的子模块编号依次为5,6,3,7,8,10,1,2,4,9。将前3个子模块导通,后7个子模块关断,即第3,5,6个子模块导通,其余子模块关断。

综上所述,本文方法是通过分组代替排序,并基于分组结果对子模块投切进行选择。在经过2.1节的分组之后,同组子模块的电容电压相近,差异不超过 $\Delta U$ 。当对电容电压差异较小的子模块进行投入选择时,具体选择哪一个对于交、直流的输出电压影响很小。当 $\Delta U$ 较小( $M$ 较大)时,这一前提是能够保证的;但当 $\Delta U$ 较大( $M$ 较小)时,这种不精确投切容易造成均压效果变差,甚至由于不能保证均压效果造成系统失稳。因此,分组数 $M$ 的选取不宜过小,应以保证系统稳定为前提,实际可以配置分组数 $M$ 使得 $\Delta U$ 不超过 $0.01U_{\text{cref}}$  ( $U_{\text{cref}}$ 为电压额定值)左右为宜。

## 2.3 开关频率的进一步优化

子模块均压的目的是要控制桥臂内所有子模块电容电压在合理工作范围,正常运行时不同子模块电容电压差异很小,经过上述分组之后,电压差异不超过 $\Delta U$ 的子模块会落入同一分组。当 $\Delta U$ 较大或者电容电压增量较小时,下一周期的分组结果与当前结果相比可能不变或者变化很小,因此根据此分组结果对子模块进行投退选择时,开关状态的改变较少。而排序相当于 $\Delta U=0$ 的一种特殊情况,子模块电容电压的任何微小变化都可能致其在最终排序列表中的位置发生变化,造成反复投切。因此,所提方法相比于传统均压方法,能够在一定程度降低子模块的开关频率,且仍有进一步优化的空间。针对电容

电压在额定值  $U_{cref}$  附近的子模块, 由于其电容电压已经取得良好的均衡效果, 因此可以将降低子模块开关频率作为进一步优化对象。如图 4 所示, 对于额定值  $U_{cref}$  附近的  $N$  个分组, 在分组过程中考虑加入上一时刻子模块的触发脉冲信息, 进一步将此  $N$  个分组按照子模块导通和子模块关断分为  $2N$  组。

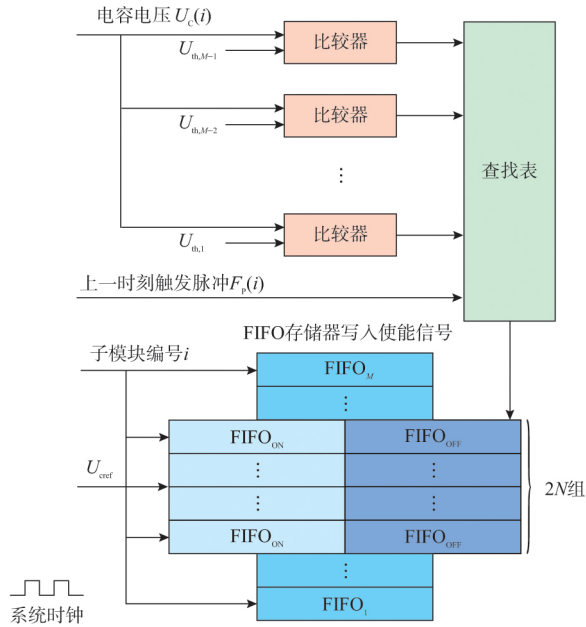


图 4 优化方式下子模块分组流程  
Fig. 4 Grouping process of sub-module under optimized mode

子模块编号的读取顺序如图 5 所示。当桥臂电流方向为充电方向时, 自下向上读取; 当桥臂电流为放电方向时, 自上向下读取。在此原则基础上, 针对考虑上一时刻开关状态的  $2N$  组子模块, 均优先读取上一时刻导通的子模块分组, 从而尽可能促使电容电压在额定值附近的子模块保持原有的开关状态, 进一步降低电力电子器件的开关频率。

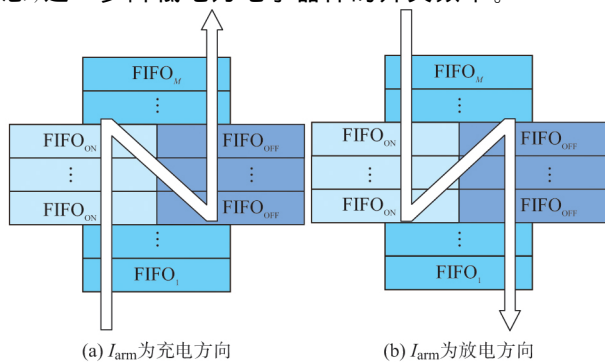


图 5 优化方式下 FIFO 存储器的读取顺序  
Fig. 5 Reading sequence of FIFO memory under optimized mode

### 3 均压控制方法性能分析

#### 3.1 时间复杂度

根据上文所述, 采用本文方法可以避免排序算法中循环进行的比较再交换环节, 能够快速得到近似按照电容电压大小排列的子模块编号序列。本文子模块电容电压均衡控制方法的时间复杂度仅与单个桥臂包含子模块个数  $n$  有关, 子模块分组过程需要  $n$  个时钟周期将子模块编号写入 FIFO 存储器, 随后根据桥臂电流方向经过  $n$  个时钟周期读取 FIFO 存储器中的数据并生成各个子模块的触发控制信号, 因此电容电压均衡控制的整个流程时间复杂度  $T$  为:

$$T = 2n \quad (3)$$

对于单个桥臂包含 100 个子模块的 MMC 系统而言, 在 100 MHz 的时钟驱动下, 仅需要  $2 \mu s$  即可完成整个电容电压均衡及触发驱动信号产生的控制流程。对于传统均压控制方法, 其时间复杂度取决于所选取的排序算法, 以冒泡法排序为例, 其时间复杂度为  $n(n-1)/2$ , 采用冒泡法的传统均压控制方法仅排序就需要  $49.5 \mu s$ , 远远大于本文方法所需要的时间。此外, 改进型排序方法大多基于串行思想, 有些改进方法为了单纯追求效率, 其逻辑过于复杂, 并不适合在并行架构的 FPGA 上实现。而 FPGA 上的并行排序算法主要有奇偶排序和双调排序, 其时间复杂度也大于本文方法中的  $2n^{[20]}$ 。因此, 相较于排序算法, 本文方法在时间性能上是有优势的。

#### 3.2 空间复杂度

所提方法不需要存储子模块的电容电压, 而是根据电容电压与设置阈值的比较结果在对应的 FIFO 存储器中存储子模块编号。对于包含  $n$  个子模块的单一桥臂, 每个子模块编号对应的二进制位宽为  $\lceil \log_2 n \rceil$  ( $\lceil \cdot \rceil$  为向上取整函数)。在电容电压均压效果很好的情况下, 所有子模块可能落入同一分组内, 因此 FIFO 存储器的深度应不低于桥臂子模块个数  $n$ 。同时考虑到 2.3 节优化方式下会在原有  $M$  分组的基础上增加  $N$  个分组, 并且需要保存上一时刻的各个子模块的触发信号, 因此需要的开辟的存储空间为:

$$S_1 = n[(M+N)\lceil \log_2 n \rceil + A] \quad (4)$$

式中:  $A$  为单个子模块触发控制信号对应的二进制位宽。

对于传统均压控制方法, 无论采用何种排序算法, 都需要存储子模块电容电压和子模块编号, 并根据对电容电压多次比较交换相应的位置得到最终的

排序结果,则对应的存储资源为:

$$S_2 = n(B + \lceil \log_2 n \rceil) \quad (5)$$

式中: $B$ 为采样得到的单个子模块电容电压的位宽。

假设实际电容电压的采样输出为符合IEEE 754标准的单精度浮点数,其位宽为32位,单个子模块的触发信号为8位。对于101电平MMC的单个桥臂进行均压控制,在 $M$ 取40, $N$ 取0的前提下,采用本文方法需要的存储空间为 $S_1=3.9$ KB,传统均压方式下需要的存储空间为 $S_2=0.49$ KB。因此,本文方法相比于基于排序的均压控制方法占用更多存储空间。

#### 4 实验验证

为验证所提MMC均压控制方法的可行性和有效性,本文在RTDS实时仿真平台下搭建了单端101电平实时仿真模型,系统参数见附录A表A1。

FPGA选用Xilinx公司Virtex-6系列的ML605开发板,并在Xilinx ISE FPGA集成开发环境中使用Verilog HDL硬件描述语言开发实现本文所提方法,实现6个桥臂的阀级控制。整个硬件在环实验平台配置如附录A图A3所示,MMC桥臂模型运行于基于FPGA的MMC仿真器,上层控制运行于RTDS的GPC/PB5处理器,并将阀控FPGA板卡通过光纤与RTDS GPC/PB5处理器和MMC仿真器连接,从GPC/PB5处理器获取上层控制产生的6个桥臂导通子模块个数,从MMC仿真器采集桥臂电流和子模块电容电压,据此产生各子模块触发控制信号并输出给MMC仿真器。本文选取了功率因数分别为1( $P=400$  MW,  $Q=0$ )和0( $P=0$ ,  $Q=400$  Mvar)的两种工况进行仿真实验,并将本文方法与采用全排序的传统均压控制方法进行对比,相应的阀控周期均为 $10 \mu\text{s}$ ,此仿真实例中选取 $U_{\max}$ 和 $U_{\min}$ 分别为2.2 kV和1.8 kV。

为了研究参数 $M$ 和 $N$ 对电容电压均衡控制效果和器件开关频率的影响,引入电容电压波动率和平均开关频率两个评价指标。分别定义如下。

1)电容电压波动率为电容电压偏离额定值的波动分量幅值与电容电压额定值之比。

2)平均开关频率为单位时间内单个桥臂所有子模块投切次数(投入和切除各算一次)总和与桥臂子模块数比值的2倍。

以A相上桥臂为例,附录A图A4给出了功率因数 $P_F=1$ 时的仿真实验波形,自上而下依次是电容电压、桥臂电感电流以及第10个子模块的触发信

号。其中,附录A图A4(a)为采用传统均压控制方法时的实验结果。附录A图A4(b),(c),(d)为采用本文所提方法时 $N=0$ , $M$ 分别取20,30和40时的实验结果。附录A表A2对比了两种方法的电容电压均衡控制效果。

通过横向对比附录A表A2中的数据可以看到,在相同均压方法控制下, $P_F=0$ 工况下的电容电压波动率和平均开关频率均高于 $P_F=1$ 工况。通过纵向对比附录A表A2中的数据可以看到,采用传统均压控制方法时,子模块电容电压能够保持较好的平衡,电容电压波动率最小,但由于每个控制周期内均对所有子模块全排序,相应的开关频率最高。采用本文方法控制时,随着分组数目 $M$ 的增大, $\Delta U$ 减小,对子模块电容电压差异的分辨效果越来越好,因此电容电压波动率逐渐降低。但由于对电容电压差异更为敏感,相应的子模块开关频率有所增加。当分组数 $M$ 由20增大到40时, $P_F=1$ 工况下电容电压波动率由3.90%下降到3.57%, $P_F=0$ 工况下电容电压波动率由5.58%下降到4.77%,相应的平均开关频率分别由424 Hz和710 Hz增加至996 Hz和1495 Hz,仍远小于传统方法下的开关频率。可以预见,随着 $M$ 的继续增大,电容电压波动率和开关频率都会越来越接近传统控制方法。

附录A图A5为采用本文方法,在 $P_F=1$ , $M=20$ , $N$ 分别取0,2,4和6时的实验波形,自上至下依次为A相上桥臂的子模块电容电压,桥臂电感电流以及第10个子模块的触发信号。附录A表A3对比了 $N$ 在不同取值下的电容电压均衡控制性能。

与附录A表A2相同,在相同均压方法控制下, $P_F=0$ 工况下的电容电压波动率和平均开关频率均高于 $P_F=1$ 工况。当 $N$ 增大时,考虑上一时刻开关状态的电压范围变大,参与到优化方式中的子模块个数增多,开关频率有所下降,相应的电容电压波动率升高。对比附录A图A5,并结合附录A表A3可见,当 $N$ 由0增加到6时,在 $P_F=1$ 工况下电容电压波动率由3.90%增加到4.39%, $P_F=0$ 工况下电容电压波动率由5.58%增加到5.59%,相应的平均开关频率分别由424 Hz和710 Hz下降到119 Hz和300 Hz。即随着 $N$ 值的增大,在不显著牺牲均压效果的前提下,器件开关频率能够进一步降低,起到了显著的优化效果。

#### 5 结语

本文提出了一种适用于FPGA的MMC电容

电压均衡控制方法。针对基于排序的传统均压控制方法存在计算量大、开关频率高的问题,所提方法根据电容电压大小划分多个子区间,并根据实时采集的子模块电容电压将子模块分配到对应的分组内,从而无须对子模块排序,加快处理速度,且能在一定程度上降低器件的开关频率。在此基础上,针对电容电压在额定值附近的子模块,分组时考虑其上一时刻的开关状态,并遵循尽量维持原有状态不变的原则,进一步优化了开关频率。在 RTDS 上搭建 101 电平 MMC 系统,测试并验证了该方法在保持电容电压均衡的同时,可以显著降低器件的开关频率。

更进一步,未来需要分析在限定开关频率和电容电压波动率的情况下, $M$  和  $N$  取值的确定方法,从而为实际工程应用提供更加全面的指导。

本文受到广东电网有限责任公司科技项目(GDKJXM20162608)资助,特此感谢!

附录见本刊网络版(<http://www.aeps-info.com/aeps/ch/index.aspx>)。

### 参考文献

- [1] 汤广福,庞辉,贺之渊.先进交直流输电技术在中国的发展与应用[J].中国电机工程学报,2016,36(7):1760-1771.  
TANG Guangfu, PANG Hui, HE Zhiyuan. R&D and application of advanced power transmission technology in China [J]. Proceedings of the CSEE, 2016, 36(7): 1760-1771.
- [2] SAEEDIFARD M, IRAVANI R. Dynamic performance of a modular multilevel back-to-back HVDC system [J]. IEEE Transactions on Power Delivery, 2010, 25(4): 2903-2912.
- [3] 杨晓峰,郑琼林,薛尧,等.模块化多电平换流器的拓扑和工业应用综述[J].电网技术,2016,40(1):1-10.  
YANG Xiaofeng, ZHENG Qionglin, XUE Yao, et al. Review on topology and industry applications of modular multilevel converter[J]. Power System Technology, 2016, 40(1): 1-10.
- [4] 彭浩,邓焰,王莹,等.模块化多电平变换器模型及稳态特性研究[J].电工技术学报,2015,30(12):120-127.  
PENG Hao, DENG Yan, WANG Ying, et al. Research about the model and steady-state performance for modular multilevel converter[J]. Transactions of China Electrotechnical Society, 2015, 30(12): 120-127.
- [5] 赵成勇,熊岩,徐义良,等.具有较低复杂度和开关频率的 MMC 混合排序均压算法[J].电力系统自动化,2017,41(15):136-142. DOI:10.7500/AEPS20161205009.  
ZHAO Chengyong, XIONG Yan, XU Yiliang, et al. Hybrid sorting algorithm with low complexity and switching frequency for capacitor voltage balanced control of modular multilevel converter[J]. Automation of Electric Power Systems, 2017, 41(15): 136-142. DOI: 10.7500/AEPS20161205009.
- [6] 史书怀,王丰,卓放,等.模块化多电平换流器的电容均压算法比较及优化设计[J].电力系统自动化,2017,41(13):150-155. DOI:10.7500/AEPS20161028005.  
SHI Shuhuai, WANG Feng, ZHUO Fang, et al. Comparison and optimal design of capacitor voltage balancing algorithm based on modular multilevel converter [J]. Automation of Electric Power Systems, 2017, 41(13): 150-155. DOI: 10.7500/AEPS20161028005.
- [7] 蔡永梁,任成林,周竞宇,等.基于 MMC 的柔性直流输电电容电压波动抑制方法[J].电力系统保护与控制,2017,45(5):45-50.  
CAI Yongliang, REN Chenglin, ZHOU Jingyu, et al. Control strategy for suppressing capacitor voltage ripple of MMC-HVDC [J]. Power System Protection and Control, 2017, 45(5): 45-50.
- [8] 黄守道,廖武,高剑,等.基于改进均压算法的模块化多电平变流器开关频率分析[J].电工技术学报,2016,31(13):36-45.  
HUANG Shoudao, LIAO Wu, GAO Jian, et al. Switching frequency analysis of modular multilevel converter based on the improved capacitor voltage balancing algorithm [J]. Transactions of China Electrotechnical Society, 2016, 31(13): 36-45.
- [9] 刘钟淇,宋强,刘文华.基于模块化多电平变流器的轻型直流输电系统[J].电力系统自动化,2010,34(2):53-58.  
LIU Zhongqi, SONG Qiang, LIU Wenhua. VSC-HVDC system based on modular multilevel converters [J]. Automation of Power Systems, 2010, 34(2): 53-58.
- [10] 屠卿瑞,徐政,郑翔,等.一种优化的模块化多电平换流器电压均衡控制方法[J].电工技术学报,2011,26(5):15-20.  
TU Qingrui, XU Zheng, ZHENG Xiang, et al. An optimized voltage balancing method for modular multilevel converter[J]. Transactions of China Electrotechnical Society, 2011, 26(5): 15-20.
- [11] 林周宏,刘崇茹,李海峰,等.模块化多电平换流器的子模块电容电压分层均压控制法[J].电力系统自动化,2015,39(7):175-181.  
LIN Zhouhong, LIU Chongru, LI Haifeng, et al. A stratified voltage balancing control method of sub-module capacitor voltage for modular multilevel converter[J]. Automation of Electric Power Systems, 2015, 39(7): 175-181.
- [12] 管敏渊,徐政. MMC 型 VSC-HVDC 系统电容电压的优化平衡控制[J].中国电机工程学报,2011,31(12):9-14.  
GUAN Minyuan, XU Zheng. Optimized capacitor voltage balancing control for modular multilevel converter based VSC-HVDC system[J]. Proceedings of the CSEE, 2011, 31(12): 9-14.
- [13] 陆翌,王朝亮,彭茂兰,等.一种模块化多电平换流器的子模块优化均压方法[J].电力系统自动化,2014,38(3):52-58.  
LU Yi, WANG Chaoliang, PENG Maolan, et al. An optimized method for balancing sub-module voltages in modular multilevel converters [J]. Automation of Electric

- Power Systems, 2014, 38(3): 52-58.
- [14] 彭茂兰,赵成勇,刘兴华,等.采用质因子分解法的模块化多电平换流器电容电压平衡优化算法[J].中国电机工程学报,2014,34(33):5846-5853.
- PENG Maolan, ZHAO Chengyong, LIU Xinghua, et al. An optimized capacitor voltage balancing control algorithm for modular multilevel converter employing prime factorization method[J]. Proceedings of the CSEE, 2014, 34(33): 5846-5853.
- [15] 何智鹏,许建中,苑宾,等.采用质因子分解法与希尔排序算法的MMC电容均压策略[J].中国电机工程学报,2015,35(12):2980-2988.
- HE Zhipeng, XU Jianzhong, YUAN Bin, et al. A capacitor voltage balancing strategy adopting prime factorization method and shell sorting algorithm for modular multilevel converter[J]. Proceedings of the CSEE, 2015, 35(12): 2980-2988.
- [16] LI W, GREGOIRE L A, BELANGER B J. A modular multilevel converter pulse generation and capacitor voltage balance method optimized for FPGA implementation[J]. IEEE Transactions on Industrial Electronics, 2015, 62(5): 2859-2867.
- [17] 常非,杨晓峰,贾海林,等.适用于现场可编程门阵列的MMC电容电压平衡控制方法[J].电网技术,2015,39(5):1246-1253.
- CHANG Fei, YANG Xiaofeng, JIA Hailin, et al. A capacitor voltage balance control algorithm for modular multilevel converter suitable to field programmable gate array[J]. Power System Technology, 2015, 39(5): 1246-1253.
- [18] 常非,杨中平,陈俊,等.模块化多电平换流器电容电压平衡并行排序方法[J].高电压技术,2016,42(10):3166-3171.
- CHANG Fei, YANG Zhongping, CHEN Jun, et al. Parallel sorting method for capacitor voltage balancing of MMC[J]. High Voltage Engineering, 2016, 42(10): 3166-3171.
- [19] 邢长达,郭家虎,朱成杰,等.MMC控制系统中子模块控制器的设计[J].电力系统保护与控制,2016,44(3):114-121.
- XING Changda, GUO Jiahu, ZHU Chengjie, et al. Design of the sub-module controller of the MMC control system[J]. Power System Protection and Control, 2016, 44(3): 114-121.
- [20] MUELLER R, TEUBNER J, ALONSO G. Sorting networks on FPGAs[J]. Vldb Journal, 2012, 21(1): 1-23.

王宇(1993—),男,博士研究生,主要研究方向:模块化多电平换流器建模与控制。E-mail: wangyu\_ncepu@163.com

刘崇茹(1977—),女,通信作者,博士,教授,主要研究方向:交直流混合系统分析、仿真、运行与控制。E-mail: chongru.liu@ncepu.edu.cn

李庚银(1964—),男,博士,教授,主要研究方向:新能源电力系统分析与控制,柔性输电技术,电能质量等。E-mail: ligy@ncepu.edu.cn

(编辑 鲁尔姣)

## Capacitor Voltage Balancing Control Method for Modular Multilevel Converter Applicable for FPGA

WANG Yu<sup>1</sup>, LIU Chongru<sup>1</sup>, LI Gengyin<sup>1</sup>, SUN Jibo<sup>2</sup>, WU Shuangxi<sup>2</sup>

(1. State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources (North China Electric Power University), Beijing 102206, China;

2. Electric Power Dispatching and Control Centre of Guangdong Power Grid Co. Ltd., Guangzhou 510600, China)

**Abstract:** Sub-module capacitor voltage balancing is an important prerequisite for the stable operation of modular multilevel converter (MMC). In order to solve the problems of heavy computation burden and high switching frequency of devices, a novel capacitor voltage balancing control method applicable for field programmable gate array (FPGA) is proposed from the perspective of practical engineering. Several sub-intervals are divided according to the fluctuation range of capacitor voltage during normal operation, and sub-modules are matched into the corresponding sub-intervals according to the capacitor voltage measured in real-time. On this basis, for the sub-modules with capacitor voltage near the rated value, the switching state at the last control period is considered when grouping, and the switching frequency is further reduced according to the principle of keeping the original switching state unchanged as much as possible. The proposed method is developed and implemented in ML605-FPGA board, and a hardware-in-the-loop real-time simulation system is built with the real-time digital simulator. The simulation results verify the feasibility and effectiveness of the method.

**Key words:** modular multilevel converter (MMC); capacitor voltage balancing; FPGA; real-time simulation; hardware-in-the-loop

## 附录 A

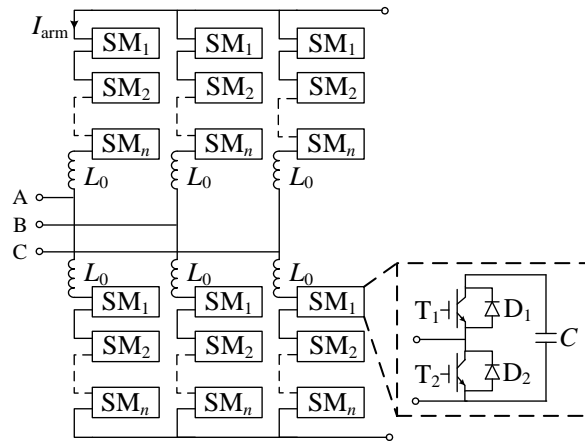


图 A1 MMC 的基本结构

Fig.A1 Basic structure of MMC

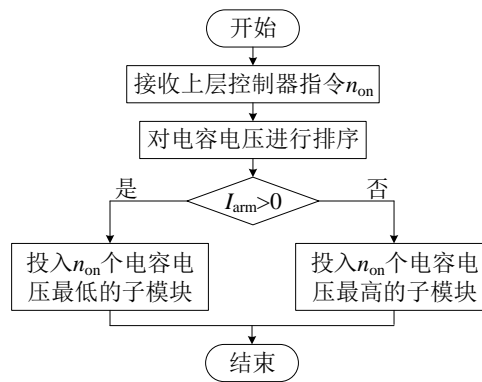


图 A2 基于排序的传统均压控制方法

Fig.A2 Traditional capacitor voltage balancing method based on sorting algorithm

表 A1 MMC 仿真系统参数

Table A1 Simulation parameter of the MMC system

参数	数值
交流系统额定电压 $U_s/\text{kV}$	110
直流侧电压 $U_{DC}/\text{kV}$	200
桥臂串联电抗 $L_0/\text{mH}$	40
单桥臂子模块个数 $n$	100
子模块电容值 $C/\text{mF}$	30
额定容量 $S_N/\text{MVA}$	400
子模块电容额定电压 $U_{\text{ref}}/\text{kV}$	2

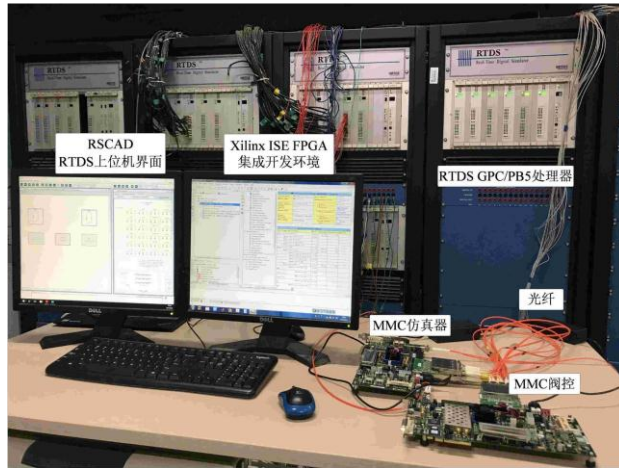


图 A3 硬件在环实验平台配置

Fig.A3 Configuration of the hardware-in-the-loop experimental platform

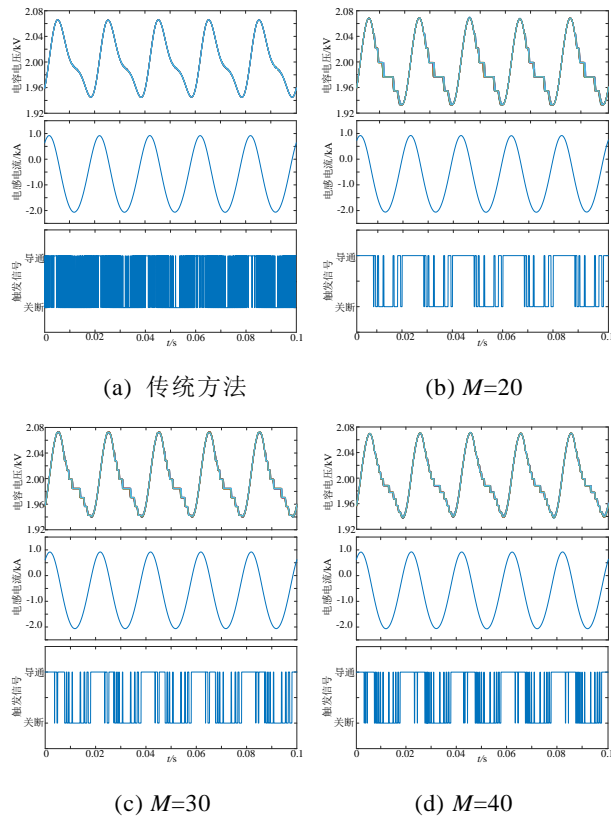


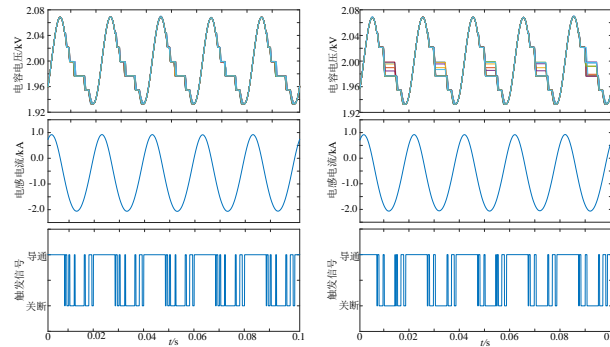
图 A4 PF=1 工况下的实验波形 ( $N=0$ )

Fig.A4 Experimental waveforms under PF=1 condition ( $N=0$ )

表 A2 均压方法的性能对比 ( $N=0$ )

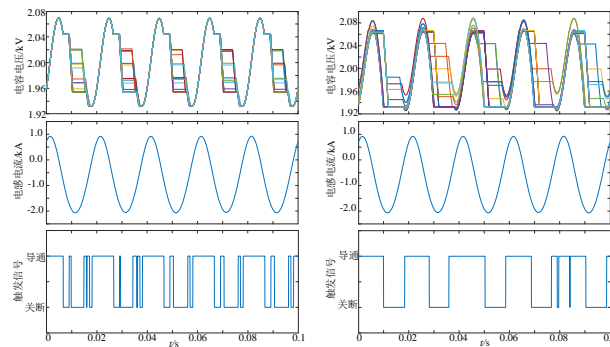
Table A2 Performance comparison of voltage balancing control methods ( $N=0$ )

平衡方法	电容电压波动率/%		平均开关频率/Hz	
	PF=1	PF=0	PF=1	PF=0
传统方法	3.29	4.70	5618	7808
$M=20$	3.90	5.58	424	710
$M=30$	3.70	5.04	714	1118
$M=40$	3.57	4.77	996	1495



(a)  $N=0$

(b)  $N=2$



(c)  $N=4$

(d)  $N=6$

图 A5 PF=1 工况下的实验波形 ( $M=20$ )

Fig.A5 Experimental waveforms under PF=0 condition ( $M=20$ )

表 A3 均压方法的性能对比 ( $M=20$ )

Table A3 Performance comparison of voltage balancing control methods ( $M=20$ )

平衡方法	电容电压波动率/%		平均开关频率/Hz	
	PF=1	PF=0	PF=1	PF=0
$N=0$	3.90	5.58	424	710
$N=2$	3.98	5.58	312	531
$N=4$	4.08	5.59	181	375
$N=6$	4.39	5.59	119	300